

# METHOD OF FORMING SEMICONDUCTOR THIN FILM, METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE, DEVICE USED FOR CARRYING OUT THE SAME, AND ELECTRO-OPTICAL DEVICE

Patent number: JP2002231628

Publication date: 2002-08-16

Inventor: YAMANAKA HIDEO

Applicant: SONY CORP

Classification:

- International: G02F1/1368; B23K26/00; G09F9/30; H01J9/02; H01L21/20; H01L21/268; H01L21/336; H01L27/08; H01L27/32; H01L29/786; H01L31/04; G02F1/13; B23K26/00; G09F9/30; H01J9/02; H01L21/02; H01L27/08; H01L27/28; H01L29/66; H01L31/04; (IPC1-7): H01L21/20; B23K26/00; G02F1/1368; G09F9/30; H01L21/268; H01L21/336; H01L27/08; H01L29/786; H01L31/04

- european: H01L21/20D2; H01L21/336D2B; H01L21/336D2C; H01L29/786D; H01L29/786E4C2; H01L29/786E4C4

Application number: JP20010024999 20010201

Priority number(s): JP20010024999 20010201

Also published as:

WO20061816 (A1)  
US2003148565 (A)

[Report a data error](#)

## Abstract of JP2002231628

**PROBLEM TO BE SOLVED:** To provide a method capable of easily forming a polycrystalline or single-crystal silicon semiconductor thin film which is high in quality and large in area, at a high crystallization rate at a low cost and a device of executing the method.

**SOLUTION:** When a polycrystalline (or single-crystal) semiconductor thin film 7, such as a polycrystalline silicon film having large grain diameters or the like, is formed at a high crystallization rate on a substrate 1 or a semiconductor device equipped with a polycrystalline (or single-crystal) semiconductor thin film 7 formed on a substrate 1 is manufactured, a low crystalline semiconductor thin film 7A is formed on the substrate 1 and is then subjected to a laser annealing process by the use of near-ultraviolet rays (UV) and/or far-ultraviolet rays (DUV), and the thin film 7A in a molten, half molten or nonmolten state is heated or cooled so as to promote its crystallization, by which the thin film 7A is turned into a polycrystalline (or single-crystal) semiconductor thin film 7. Thus, a method of forming a polycrystalline (or single-crystal) semiconductor thin film or a method of manufacturing a semiconductor device, and a device for carrying out the above methods is realized.

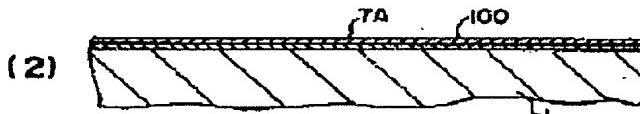
## 第1の実施の形態

〈MOSTFTの製造プロセスフロー〉

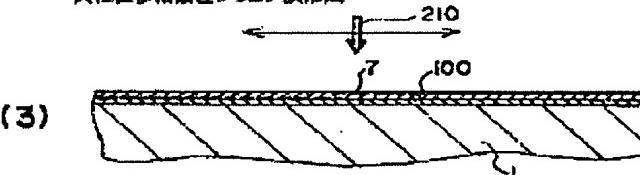
### T地保護膜形成



低純度品性シリコン膜形成ヒ、保護ヒル反射遮蔽用ヒ  
酸化シリコン膜形成(図示せず:以下、同様)



近紫外線(UV)又は遠紫外線(DUV)レーザーアニールによる  
大粒径多晶性シリコン膜形成



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-231628

(P2002-231628A)

(43)公開日 平成14年8月16日(2002.8.16)

(51)Int.Cl.<sup>7</sup>

H 01 L 21/20

B 23 K 26/00

G 02 F 1/1368

G 09 F 9/30

識別記号

3 3 8

3 6 5

F I

H 01 L 21/20

B 23 K 26/00

G 02 F 1/1368

G 09 F 9/30

テマコード(参考)

2 H 0 9 2

E 4 E 0 6 8

5 C 0 9 4

3 3 8 5 F 0 4 8

3 6 5 Z 5 F 0 5 1

審査請求 未請求 請求項の数70 O L (全 59 頁) 最終頁に統く

(21)出願番号

特願2001-24999(P2001-24999)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(22)出願日 平成13年2月1日(2001.2.1)

(72)発明者 山中 英雄

東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

(74)代理人 100076059

弁理士 逢坂 宏

最終頁に統く

(54)【発明の名称】 半導体薄膜の形成方法及び半導体装置の製造方法、これらの方法の実施に使用する装置、並びに  
電気光学装置

(57)【要約】

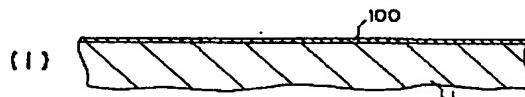
【課題】 高結晶化率で高品質の多結晶シリコン等の多結晶性又は単結晶性半導体薄膜を容易かつ低成本に、しかも大面積に形成可能な方法と、この方法を実施する装置を提供すること。

【解決手段】 基体1上に高結晶化率、大粒径の多結晶性シリコン膜等の多結晶（又は単結晶）性半導体薄膜7を形成するに際し、或いは基体1上に多結晶（又は単結晶）性半導体薄膜7を有する半導体装置を製造するに際し、基体1上に低級結晶性半導体薄膜7Aを形成した後、この低級結晶性半導体薄膜7Aに近紫外線(UV)又は/及び遠紫外線(DUV)レーザーアニールを施して、溶融又は半溶融又は非溶融状態の加熱と冷却により低級結晶性半導体薄膜7Aの結晶化を促進して多結晶（又は単結晶）性半導体薄膜7を得る、多結晶（又は単結晶）性半導体薄膜の形成方法、又は半導体装置の製造方法、及びこれらを実施するための装置。

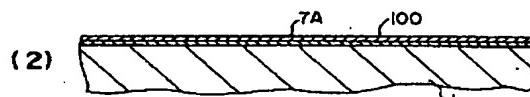
第1の実施の形態

〈MOSTFTの製造プロセスフロー〉

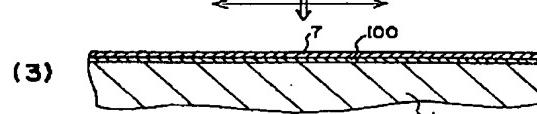
下地保護膜形成



低級結晶性シリコン膜形成と、保護及び反射低減用の  
酸化シリコン膜形成(図示せず:以下、同様)



近紫外線(UV)又は遠紫外線(DUV)レーザーアニールによる  
大粒径多結晶性シリコン膜形成



【特許請求の範囲】

- 【請求項 1】 基体上に多結晶性又は単結晶性半導体薄膜を形成するに際し、前記基体上に低級結晶性半導体薄膜を形成する第 1 工程と、前記低級結晶性半導体薄膜に近紫外線 (UV) 又は／及び遠紫外線 (DUV) レーザーアニールを施して、溶融又は半溶融又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進する第 2 工程とを有する、半導体薄膜の形成方法。
- 【請求項 2】 基体上に多結晶性又は単結晶性半導体薄膜を有する半導体装置を製造するに際し、前記基体上に低級結晶性半導体薄膜を形成する第 1 工程と、前記低級結晶性半導体薄膜に近紫外線 (UV) 又は／及び遠紫外線 (DUV) レーザーアニールを施して、溶融又は半溶融又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進する第 2 工程とを有する、半導体装置の製造方法。
- 【請求項 3】 前記第 1 工程と前記第 2 工程とを繰り返す、請求項 1 又は 2 に記載した方法。
- 【請求項 4】 非線形光学効果により光高調波発生された近紫外線 (UV) 又は／及び遠紫外線 (DUV) レーザービームを前記レーザーアニールに使用する、請求項 1 又は 2 に記載した方法。
- 【請求項 5】 光高調波発生された前記レーザービームを光高調波発生前の基本波と混合して使用する、請求項 4 に記載した方法。
- 【請求項 6】 前記レーザービームを前記基体に対し相対的に走査して照射する帯精製法、又は複数の前記レーザービームを相前後して前記基体に対し相対的に走査する多重帯精製法によって前記レーザーアニールを行う、請求項 4 に記載した方法。
- 【請求項 7】 前記基体又はレーザーを位置固定しながら前記レーザー又は前記基体を移動させる、請求項 6 に記載した方法。
- 【請求項 8】 前記レーザービームのうち長波長成分を、短波長成分に先立って或いはその前方位置にて前記基体に対し照射する、請求項 4 又は 5 に記載した方法。
- 【請求項 9】 前記レーザーアニール時に前記基体に熱風を吹き付ける、請求項 1 又は 2 に記載した方法。
- 【請求項 10】 前記低級結晶性半導体薄膜に触媒元素の少なくとも 1 種を適量含有させ、この状態で前記第 2 工程を行う、請求項 1 又は 2 に記載した方法。
- 【請求項 11】 前記レーザーアニールによって前記低級結晶性半導体薄膜を大粒径の多結晶性半導体薄膜に変化させる、請求項 1 又は 2 に記載した方法。
- 【請求項 12】 前記基体において所定の素子形成予定領域に所定形状及び寸法の段差付き凹部を形成し、この凹部を含む前記基体上に、触媒元素の少なくとも 1 種を

含有するか或いは含有しない前記低級結晶性半導体薄膜を形成した後、前記レーザーアニールによって前記段差の底辺角部をシードにグラフォエピタキシャル成長させて前記低級結晶性半導体薄膜を単結晶性半導体薄膜に改質させる、請求項 1 又は 2 に記載した方法。

【請求項 13】 前記基体において所定の素子形成予定領域に単結晶半導体と格子整合の良い物質層を形成し、この物質層上に、触媒元素の少なくとも 1 種を含有するか或いは含有しない前記低級結晶性半導体薄膜を形成した後、前記レーザーアニールによって前記物質層をシードにヘテロエピタキシャル成長させて前記低級結晶性半導体薄膜を単結晶性半導体薄膜に改質させる、請求項 1 又は 2 に記載した方法。

【請求項 14】 前記第 1 工程と前記第 2 工程とを少なくともこれら両工程の一体化装置によって連続的に若しくは順次行う、請求項 1 又は 2 に記載した方法。

【請求項 15】 前記レーザーアニールを再び行う前に、前記多結晶性半導体薄膜に対し水素又は水素含有ガスのプラズマ放電又は触媒反応で生成した水素系活性種を作用させて、前記多結晶性半導体薄膜の表面クリーニング及び／又は低級酸化被膜の除去を行い、かかる後に前記低級結晶性半導体薄膜の形成後に前記レーザーアニールを行う、請求項 3 に記載した方法。

【請求項 16】 前記レーザーアニールを減圧水素中又は減圧水素含有ガス中又は真空中で行う、請求項 1 又は 2 に記載した方法。

【請求項 17】 前記レーザーアニール時に前記基体をその歪点以下の温度に加熱する、請求項 1 又は 2 に記載した方法。

【請求項 18】 前記低級結晶性半導体薄膜上に保護用絶縁膜を形成し、この状態で空気中又は大気圧窒素中で前記レーザーアニールを行う、請求項 1 又は 2 に記載した方法。

【請求項 19】 前記基体上に形成された前記低級結晶性半導体薄膜に対し、又は保護用絶縁膜を被覆して、前記低級結晶性半導体薄膜のレーザービーム照射で前記レーザーアニールを行うに際し、その上面から又は下面から又は上面と下面から同時に前記レーザービーム照射（但し、上面以外の場合は、基体は透明（400 nm 以下の波長の光も透過すること。））を行う、請求項 1 又は 2 に記載した方法。

【請求項 20】 前記低級結晶性半導体薄膜、又は前記保護用絶縁膜を被覆した前記低級結晶性半導体薄膜はアイランド化されたものである、請求項 19 に記載した方法。

【請求項 21】 大気圧窒素中又は空气中で前記レーザービーム照射を行う、請求項 19 に記載した方法。

【請求項 22】 減圧水素ガス中又は減圧水素含有ガス中又は真空中で前記レーザービーム照射を行う、請求項 19 に記載した方法。

【請求項23】 磁場及び／又は電場の作用下で前記レーザーアニールを行う、請求項1又は2に記載した方法。

【請求項24】 前記低級結晶性半導体薄膜がアモルファスシリコン膜、微結晶シリコン含有アモルファスシリコン膜、微結晶シリコン（アモルファスシリコン含有微結晶シリコン）膜、アモルファスシリコン及び微結晶シリコン含有多結晶シリコン膜、アモルファスゲルマニウム膜、微結晶ゲルマニウム含有アモルファスゲルマニウム膜、微結晶ゲルマニウム（アモルファスゲルマニウム含有微結晶ゲルマニウム）膜、アモルファスゲルマニウム及び微結晶ゲルマニウム含有多結晶ゲルマニウム膜、 $\text{Si}_x\text{Ge}_{1-x}$  ( $0 < x < 1$ ) で示されるアモルファスシリコングルマニウム膜、アモルファスカーボン膜、微結晶カーボン含有アモルファスカーボン膜、微結晶カーボン（アモルファスカーボン含有微結晶カーボン）膜、アモルファスカーボン及び微結晶カーボン含有多結晶カーボン膜、 $\text{Si}_x\text{C}_{1-x}$  ( $0 < x < 1$ ) で示されるアモルファスシリコンカーボン膜、又は $\text{Ga}_x\text{As}_{1-x}$  ( $0 < x < 1$ ) で示されるアモルファスガリウムヒ素膜からなる、請求項1又は2に記載した方法。

【請求項25】 前記多結晶性又は単結晶性半導体薄膜によって、薄膜絶縁ゲート型電界効果トランジスタのチャンネル、ソース及びドレイン領域、又はダイオード、配線、抵抗、容量又は電子放出体等を形成する、請求項1又は2に記載した方法。

【請求項26】 前記チャンネル、ソース及びドレイン領域、ダイオード、抵抗、容量、配線、電子放出体等の形成のために前記低級結晶性半導体薄膜をパターニング（アイランド化）した後に、前記レーザーアニールを行う、請求項25に記載した方法。

【請求項27】 シリコン半導体装置、シリコン半導体集積回路装置、シリコングルマニウム半導体装置、シリコングルマニウム半導体集積回路装置、化合物半導体装置、化合物半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、多結晶性ダイヤモンド半導体装置、多結晶性ダイヤモンド半導体集積回路装置、液晶表示装置、有機又は無機エレクトロルミネセンス（EL）表示装置、フィールドエミッショディスプレイ（FED）装置、発光ポリマー表示装置、発光ダイオード表示装置、CCDエリア／リニアセンサ装置、CMOSセンサ装置、太陽電池装置用の薄膜を製造する、請求項1又は2に記載した方法。

【請求項28】 内部回路及び周辺回路を有する半導体装置、電気光学表示装置、固体撮像装置等の製造に際し、これらの回路の少なくとも一方を構成する薄膜絶縁ゲート型電界効果トランジスタのチャンネル、ソース及びドレイン領域を前記多結晶性又は単結晶性半導体薄膜によって形成する、請求項27に記載した方法。

【請求項29】 各色用の有機又は無機エレクトロルミ

ネセンス層の下層にそれぞれ、前記薄膜絶縁ゲート型電界効果トランジスタのドレイン又はソースと接続された陰極又は陽極を有する、請求項28に記載した方法。

【請求項30】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上も前記陰極が覆い、或いは前記各色用の有機又は無機エレクトロルミネセンス層の各層上及び各層間の全面に前記陰極又は陽極が被着されている装置を製造する、請求項29に記載した方法。

【請求項31】 前記各色用の前記有機又は無機エレクトロルミネセンス層間にブラックマスク層を形成する、請求項29に記載した方法。

【請求項32】 フィールドエミッショディスプレイ装置のエミッタを、前記多結晶性又は単結晶性半導体薄膜を介して前記薄膜絶縁ゲート型電界効果トランジスタのドレインに接続すると共に前記多結晶性又は単結晶性半導体薄膜上に成長されたn型多結晶性半導体膜又は多結晶性ダイヤモンド膜によって形成する、請求項28に記載した方法。

【請求項33】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上に絶縁膜を介してアース電位の金属遮蔽膜を形成する、請求項32に記載した方法。

【請求項34】 前記金属遮蔽膜を前記フィールドエミッショディスプレイ装置のゲート引き出し電極と同一材料で同一工程により形成する、請求項33に記載した方法。

【請求項35】 基体上に多結晶性又は単結晶性半導体薄膜を形成するための装置であつて、前記基体上に低級結晶性半導体薄膜を形成するための第1手段と、前記低級結晶性半導体薄膜に近紫外線（UV）又は／及び遠紫外線（DUV）レーザーアニールを施して、溶融又は半溶融又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進する第2手段とを有する、半導体薄膜の形成装置。

【請求項36】 基体上に多結晶性又は単結晶性半導体薄膜を有する半導体装置を製造するための装置であつて、

前記基体上に低級結晶性半導体薄膜を形成するための第1手段と、前記低級結晶性半導体薄膜に近紫外線（UV）又は／及び遠紫外線（DUV）レーザーアニールを施して、溶融又は半溶融又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進する第2手段とを有する、半導体装置の製造装置。

【請求項37】 前記第1手段と前記第2手段とが繰り返し使用される、請求項35又は36に記載した装置。

【請求項38】 非線形光学効果により光高調波発生された近紫外線（UV）又は／及び遠紫外線（DUV）レ

ーラービームが前記レーザーアニールに使用される、請求項35又は36に記載した装置。

【請求項39】 光高調波発生された前記レーザービームが光高調波発生前の基本波と混合されて使用される、請求項38に記載した装置。

【請求項40】 前記レーザービームを前記基体に対し相対的に走査して照射する帯精製法、又は複数の前記レーザービームを相前後して前記基体に対し相対的に走査する多重帯精製法によって前記レーザーアニールが行われる、請求項38に記載した装置。

【請求項41】 前記基体又は前記レーザーが位置固定されながら前記レーザー又は前記基体が移動される、請求項40に記載した装置。

【請求項42】 前記レーザービームのうち長波長成分が、矩波長成分に先立って或いはその前方位置にて前記基体に対し照射される、請求項38又は39に記載した装置。

【請求項43】 前記レーザーアニール時に前記基体に熱風が吹き付けられる、請求項35又は36に記載した装置。

【請求項44】 前記低級結晶性半導体薄膜に触媒元素の少なくとも1種を適量含有させるための手段を有する、請求項35又は36に記載した装置。

【請求項45】 前記第1手段と前記第2手段とが少なくともこれら両手段の一体化装置に組み込まれ、連続的に若しくは順次使用される、請求項35又は36に記載した装置。

【請求項46】 前記レーザーアニールを再び行う前に、前記多結晶性半導体薄膜に対し水素又は水素含有ガスのプラズマ放電又は触媒反応で生成した水素系活性種を作用させて、前記多結晶性半導体薄膜の表面クリーニング及び／又は低級酸化被膜の除去を行う手段を有する、請求項37に記載した装置。

【請求項47】 前記レーザーアニールが減圧水素中又は減圧水素含有ガス中又は真空中で行われる、請求項35又は36に記載した方法。

【請求項48】 前記レーザーアニール時に前記基体がその歪点以下の温度に加熱される、請求項35又は36に記載した装置。

【請求項49】 前記低級結晶性半導体薄膜上に保護用絶縁膜が形成され、この状態で空気中又は大気圧窒素中で前記レーザーアニールが行われる、請求項35又は36に記載した装置。

【請求項50】 前記基体上に形成された前記低級結晶性半導体薄膜に対し、又は保護用絶縁膜を被覆して、前記低級結晶性半導体薄膜のレーザービーム照射で前記レーザーアニールを行うに際し、その上面から又は下面から又は上面と下面から同時に前記レーザービーム照射（但し、上面以外の場合は、基体は透明（400nm以下の波長の光も透過すること。））が行われる、請求項

35又は36に記載した装置。

【請求項51】 前記低級結晶性半導体薄膜、又は前記保護用絶縁膜を被覆した前記低級結晶性半導体薄膜はアiland化されたものである、請求項50に記載した装置。

【請求項52】 大気圧窒素中又は空気中で前記レーザービーム照射が行われる、請求項50に記載した装置。

【請求項53】 減圧水素ガス中又は減圧水素含有ガス中又は真空中で前記レーザービーム照射が行われる、請求項50に記載した装置。

【請求項54】 磁場及び／又は電場の作用下で前記レーザーアニールが行われる、請求項35又は36に記載した装置。

【請求項55】 前記低級結晶性半導体薄膜がアモルファシリコン膜、微結晶シリコン含有アモルファシリコン膜、微結晶シリコン（アモルファシリコン含有微結晶シリコン）膜、アモルファシリコン及び微結晶シリコン含有多結晶シリコン膜、アモルファスゲルマニウム膜、微結晶ゲルマニウム含有アモルファスゲルマニウム膜、微結晶ゲルマニウム（アモルファスゲルマニウム含有微結晶ゲルマニウム）膜、アモルファスゲルマニウム及び微結晶ゲルマニウム含有多結晶ゲルマニウム膜、 $S_{i_x}Ge_{1-x}$  (0 < x < 1) で示されるアモルファシリコンゲルマニウム膜、アモルファスカーボン膜、微結晶カーボン含有アモルファスカーボン膜、微結晶カーボン（アモルファスカーボン含有微結晶カーボン）膜、アモルファスカーボン及び微結晶カーボン含有多結晶カーボン膜、 $S_{i_x}C_{1-x}$  (0 < x < 1) で示されるアモルファシリコンカーボン膜、又は $G_{a_x}A_{s_{1-x}}$  (0 < x < 1) で示されるアモルファスガリウムヒ素膜からなる、請求項35又は36に記載した装置。

【請求項56】 前記多結晶性又は単結晶性半導体薄膜によって、薄膜絶縁ゲート型電界効果トランジスタのチャンネル、ソース及びドレイン領域、又はダイオード、配線、抵抗、容量又は電子放出体等が形成される、請求項35又は36に記載した装置。

【請求項57】 前記チャンネル、ソース及びドレイン領域、ダイオード、抵抗、容量、配線、電子放出体等の形成のために前記低級結晶性半導体薄膜がパターニング（アiland化）された後に、前記レーザーアニールが行われる、請求項56に記載した装置。

【請求項58】 シリコン半導体装置、シリコン半導体集積回路装置、シリコーンゲルマニウム半導体装置、シリコーンゲルマニウム半導体集積回路装置、化合物半導体装置、化合物半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、多結晶性ダイヤモンド半導体集積回路装置、液晶表示装置、有機又は無機エレクトロルミネセンス（EL）表示装置、フィールドエミッഷンディスプレイ（FED）装置、発光ポリマー表示装置、発光

ダイオード表示装置、CCDエリア／リニアセンサ装置、CMOSセンサ装置、太陽電池装置用の薄膜を製造する、請求項35又は36に記載した装置。

【請求項59】 内部回路及び周辺回路を有する半導体装置、電気光学表示装置、固体撮像装置等の製造に際し、これらの回路の少なくとも一方を構成する薄膜絶縁ゲート型電界効果トランジスタのチャンネル、ソース及びドレイン領域を前記多結晶性又は単結晶性半導体薄膜によって形成する、請求項58に記載した装置。

【請求項60】 各色用の有機又は無機エレクトロルミネセンス層の下層にそれぞれ、前記薄膜絶縁ゲート型電界効果トランジスタのドレイン又はソースと接続された陰極又は陽極を有する装置を製造する、請求項59に記載した装置。

【請求項61】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上も前記陰極が覆い、或いは前記各色用の有機又は無機エレクトロルミネセンス層の各層上及び各層間に全面に前記陰極又は陽極が被着されている装置を製造する、請求項60に記載した装置。

【請求項62】 前記各色用の前記有機又は無機エレクトロルミネセンス層間にブラックマスク層を形成する、請求項60に記載した装置。

【請求項63】 フィールドエミッショニディスプレイ装置のエミッタを、前記多結晶性又は単結晶性半導体薄膜を介して前記薄膜絶縁ゲート型電界効果トランジスタのドレインに接続すると共に前記多結晶性又は単結晶性半導体薄膜上に成長されたn型多結晶性半導体膜又は多結晶性ダイヤモンド膜によって形成する、請求項59に記載した装置。

【請求項64】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上に絶縁膜を介してアース電位の金属遮蔽膜を形成する、請求項63に記載した装置。

【請求項65】 前記金属遮蔽膜を前記フィールドエミッショニディスプレイ装置のゲート引き出し電極と同一材料で同一工程により形成する、請求項64に記載した装置。

【請求項66】 各色用の有機又は無機エレクトロルミネセンス層の下層にそれぞれ、請求項1又は2に記載した多結晶性又は単結晶性半導体薄膜からなる薄膜絶縁ゲート型電界効果トランジスタのドレイン又はソースと接続された陰極又は陽極を有し、前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上も前記陰極が覆い、或いは前記各色用の有機又は無機エレクトロルミネセンス層の各層上及び各層間に全面に前記陰極又は陽極が被着されている電気光学装置。

【請求項67】 前記各色用の前記有機又は無機エレクトロルミネセンス層間にブラックマスク層が形成されている、請求項66に記載した電気光学装置。

【請求項68】 フィールドエミッショニディスプレイ装置のエミッタが、請求項1又は2に記載した多結晶性又は単結晶性半導体薄膜からなる薄膜絶縁ゲート型電界効果トランジスタのドレインに前記多結晶性又は単結晶性半導体薄膜を介して接続されると共に前記多結晶性又は単結晶性半導体薄膜上に成長されたn型多結晶性半導体膜又は多結晶性ダイヤモンド膜によって形成されている電気光学装置。

【請求項69】 前記薄膜絶縁ゲート型電界効果トランジスタ及びダイオードを含む能動素子上に絶縁膜を介してアース電位の金属遮蔽膜が形成されている、請求項68に記載した電気光学装置。

【請求項70】 前記遮蔽膜が前記フィールドエミッショニディスプレイ装置のゲート引き出し電極と同一材料で同一工程により形成される、請求項69に記載した電気光学装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、基体上に多結晶シリコンなどの多結晶性半導体薄膜をレーザーアニールで形成する方法及びその装置、その多結晶性半導体薄膜を基体上に有する半導体装置の製造方法及びその装置、並びに電気光学装置に関するものである。

##### 【0002】

【従来の技術】従来、MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) である例えばMOS TFT (Thin Film Transistor=薄膜絶縁ゲート型電界効果トランジスタ) のソース、ドレイン及びチャンネル領域を多結晶シリコン膜で形成するに際し、プラズマCVD (CVD : Chemical Vapor Deposition=化学的気相成長法) や減圧CVD法、触媒CVD法等の気相成長法、固相成長法、液相成長法、エキシマレーザーアニール法等が用いられている。

【0003】プラズマCVD法、減圧CVD法等により形成したアモルファス又は微結晶シリコン膜は、特開平7-131030号、特開平9-116156号、特公平7-118443号にみられるように、単に高温アニール又はエキシマレーザーアニール (ELA : Excimer Laser Anneal) 処理することにより、多結晶シリコン膜化でキャリア移動度の改善を図ってきたが、この方法では $80 \sim 120 \text{ cm}^2/\text{V} \cdot \text{sec}$ 程度のキャリア移動度を得るのが限界であった。

【0004】しかし、プラズマCVD法によるアモルファスシリコンのELAで得られた多結晶シリコン膜を用いるMOS TFTの電子移動度は、 $100 \text{ cm}^2/\text{V} \cdot \text{sec}$ 前後であり、高精細化にも対応できるので、最近は駆動回路一体型の多結晶シリコンMOS TFTを用いたLCD (Liquid Crystal Display=液晶表示装置) が注目されている(特開平6-242433号参照)。エキシマレーザーアニール法は、XeClエキシマレーザ

一等の短波長、短パルスレーザーを試料に照射して短時間に溶融結晶化する方法であるが、アモルファスシリコン膜へのレーザー光照射によりガラス基板を損傷させることなく多結晶化でき、高スループットが期待される。

#### 【0005】

【発明が解決しようとする課題】しかし、上記したELAによる多結晶シリコンMOS TFTの製法では、結晶化速度が  $n \text{ sec}$  オーダーと早いために、得られる結晶粒径はせいぜい  $100 \text{ nm}$  程度である。そのために、短波長、短パルスレーザー照射時に、基板温度を  $400^{\circ}\text{C}$  程度に加熱して、結晶成長を阻害する水素、酸素を十分に除去し、凝固速度を制御する方法でも粒径が  $500 \text{ nm}$  以上の結晶は難しい。そこで、レーザー照射回数を数回以上、例えば5回、30回以上として結晶成長を起こさせるエネルギーを十分に与え、大粒径多結晶シリコン膜化が行われている。しかし、エキシマレーザー出力の安定性や、生産性、大型化による装置価格の上昇、歩留／品質低下等の問題が山積しており、特に、 $1 \text{ m} \times 1 \text{ m}$  の大型ガラス基板になると、前記の問題が拡大して性能／品質向上とコストダウンが一層難しくなる。

【0006】最近、特開平11-97353号等にみられるように、 $450 \sim 600^{\circ}\text{C}$ 、4～12時間の加熱処理で、結晶化を助長する触媒元素（Ni、Fe、Co等）を非晶質シリコン膜内に拡散させて、結晶性シリコン膜を形成する方法が提案されている。しかし、この方法では、触媒元素が形成された結晶性シリコン膜に残存するので、特開平8-339960号等にみられるように、この触媒元素を除去（ゲッタリング）するために、塩素などのハロゲン元素を含有する雰囲気で加熱処理する方法、リンを結晶性シリコン膜に選択的に添加して加熱処理する方法、触媒元素を含有する結晶性シリコン膜をレーザ光又は強光で照射して触媒元素を拡散し易い状態にして、選択的に添加した元素で触媒元素を吸い取らせる方法等が提案されているが、工程が複雑、ゲッタリング効果が十分ではなく、シリコン膜の半導体特性を損ない、作製する素子の安定性、信頼性が損なわれてしまう。

【0007】また、固相成長法による多結晶シリコンMOS TFTの製法では、 $600^{\circ}\text{C}$  以上での十数時間のアニールと、約  $1000^{\circ}\text{C}$  での熱酸化のゲート  $\text{SiO}_2$  の形成が必要なために、半導体製造装置を採用せざるを得ない。このために、基板サイズは、ウエーハサイズ  $8 \sim 12 \text{ インチ} \phi$  が限界であり、また高耐熱性で高価な石英ガラスを採用しなければならず、コストダウンが難しく、EVFやデータ／AVプロジェクトに用途が限定されている。

【0008】近時、ガラス基板のような絶縁性基板上に、多結晶シリコン膜、窒化シリコン膜等を低温で作製し得る優れた熱CVDである触媒CVD法が開発され（特公昭63-40314号、特公平8-250438

号参照）、実用化の検討が推進されている。触媒CVD法においては、結晶化アニールなしで、 $30 \text{ cm}^2/\text{V} \cdot \text{sec}$  程度のキャリア移動度を得ているが、良質なMOS TFTデバイスを作製するにはまだ不十分である。そして、ガラス基板上に多結晶シリコン膜を形成すると、成膜条件次第では初期のアモルファスシリコンの転移層（厚さ  $5 \sim 10 \text{ nm}$ ）が形成されやすいので、ボトムゲート型MOS TFTとした場合は所望のキャリア移動度は得にくい。一般に駆動回路一体型の多結晶シリコンMOS TFTを用いたLCDは、ボトムゲート型MOS TFTが歩留及び生産性の面で製造し易いが、この問題がネックとなってくる。

【0009】本発明の目的は、高結晶化率で高品質の多結晶シリコン等の多結晶性又は単結晶性半導体薄膜を容易かつ低コストに、しかも大面积に形成可能な方法と、この方法を実施する装置を提供することにある。

【0010】本発明の他の目的は、こうした多結晶性又は単結晶性半導体薄膜を構成部分として有するMOS TFT等の半導体装置の製造方法と、この方法を実施する装置、及び電気光学装置を提供することにある。

#### 【0011】

【課題を解決するための手段】即ち、本発明は、基体上に多結晶性又は単結晶性半導体薄膜を形成し、或いは基体上に多結晶性又は単結晶性半導体薄膜を有する半導体装置を製造する際、前記基体上に低級結晶性半導体薄膜を形成する第1工程と、前記低級結晶性半導体薄膜に非線形光学効果により光高調波発生させた近紫外線（Ultra-Violet Rays:以降、UVと略す。）又は／及び遠紫外線（Deep Ultra-Violet Rays:以降、DUVと略す。）レーザーアニールを施して、溶融又は半溶融又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進する第2工程とを有する、半導体薄膜の形成方法又は半導体装置の製造方法に係るものである。

【0012】また、本発明は、本発明の方法を実施する装置として、前記基体上に低級結晶性半導体薄膜を形成するための第1手段と、前記低級結晶性半導体薄膜に非線形光学効果により光高調波発生させた近紫外線（UV）又は／及び遠紫外線（DUV）レーザーアニールを施して、溶融又は半溶融又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進する第2手段とを有する、多結晶半導体薄膜の形成装置、又は半導体装置の製造装置を提供するものである。

【0013】また、本発明は、各色用の有機又は無機エレクトロルミネセンス層の下層にそれぞれ、前記多結晶性又は単結晶性半導体薄膜からなるMOS TFTのドライイン又はソースと接続された陰極又は陽極を有し、前記MOS TFT及びダイオードを含む能動素子上も前記陰極が覆い、或いは前記各色用の有機又は無機エレクトロルミネセンス層の各層上及び各層間の全面に共通の前記陰極又は陽極が被着されている電気光学装置を提供する

ものである。

【0014】また、本発明は、フィールドエミッショントransistor（FET）のエミッタが、前記多結晶性又は単結晶性半導体薄膜からなるMOSFETのドレインに前記多結晶性又は単結晶性半導体薄膜を介して接続されると共に前記多結晶性又は単結晶性半導体薄膜上に成長されたn型多結晶性半導体膜又は多結晶性ダイヤモンド膜によって形成されている電気光学装置も提供するものである。

【0015】本発明によれば、基体上に低級結晶性半導体薄膜を形成し、この低級結晶性半導体薄膜に非線形光学効果により光高調波発生されたUV又は／及びDUVレーザーアニール（以下、本発明のレーザーアニール又は前記レーザーアニールと称することがある。）を施して、溶融又は半溶融又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進して、多結晶性又は単結晶性半導体薄膜を形成しているので、次の（1）～（12）に示す顕著な作用効果が得られる。

【0016】（1）非線形光学効果により光高調波発生された高出力の（以下、光高調波変調と称することがある。）UV又は／及びDUVレーザービームを照射して、アモルファスシリコン膜等の低級結晶性半導体薄膜を溶融又は半溶融状態に加熱し或いは非溶融状態で加熱し、冷却させて結晶化する、いわゆる光高調波変調UV又は／及びDUVレーザーアニールにより、高い照射エネルギーを低級結晶性半導体薄膜に与え、これを溶融又は半溶融状態に加熱し或いは非溶融状態で加熱し、冷却することにより、大粒径の高キャリア移動度、高品質の多結晶性シリコン膜等の多結晶性又は単結晶性半導体薄膜が得られ、生産性が大幅に向上し、大幅なコストダウンが可能となる。

【0017】（2）本発明のレーザーアニールは、上記加熱帯を移動させながら行う、いわゆる帶精製法により、結晶化助長のために予め添加され、その役割を終えたN<sub>i</sub>等の触媒元素やその他の不純物元素が高温の溶融帯に偏析するので、容易に除去でき、膜中に残存することがないため、大粒径での高キャリア移動度、高品質（高純度）の多結晶性半導体薄膜が得られ易い。更に、このときに、複数のレーザービーム照射により連続して溶融帯と冷却帯を繰り返す、いわゆる多重帶精製法により、さらなる大粒径、高品質（高純度）の多結晶性半導体薄膜が得られる。この高純度化により、半導体特性が損なわれることがなくなり、作製する素子の安定性、信頼性が向上する。そして、光高調波変調UV又は／及びDUVレーザーアニールでの帶精製法又は多重帶精製法という簡単なプロセスにより、結晶化助長の役割が終わった触媒元素やその他の元素が効率良く除去されるので、工数削減によるコストダウンが可能となる。

【0018】（3）レーザースキャニング方向に多結晶性シリコン等の結晶粒が揃うので、この方向にTFTを

形成することにより、結晶粒界の不整及びストレスが低減し、高移動度の多結晶性シリコン膜等を形成できる。

【0019】（4）光高調波変調UV又は／及びDUVレーザーアニールの帶精製法又は多重帶精製法により結晶化させた多結晶性シリコン等の膜上に低級結晶性シリコン等の膜を積層し、再度このレーザーアニールで結晶化する方法を繰り返すことにより、μm単位の厚みで大粒径での高キャリア移動度、高品質の多結晶性シリコン膜等を積層形成できる。これにより、MOSLSIのみならず、高性能、高品質のバイポーラLSI、CMOSセンサ、CCDエリア／リニアセンサ、太陽電池等も形成できる。

【0020】（5）光高調波変調UV又は／及びDUVレーザーは、その波長、照射強度及び照射時間等の制御、更には線状、長方形形状又は正方形形状に集光整形して、レーザービーム径及びレーザースキャニングピッチなどを自由に設定でき、照射強度、つまり溶融効率及びスループット向上でのコストダウンが図れる。しかも、①固定した基板にレーザー光をガルバノメータスキャニングさせること、②固定したレーザー光に対して基板を高精度ステッピングモータでステップ＆リピート移動させる等の加熱溶融及び冷却方法により、更には複数のレーザーで同期してスキャニングすることにより、大面積（例えば1m×1m）も短時間でアニールすることができ、任意の結晶粒及び純度の多結晶性シリコン膜等が大面積に得られるので、生産性が高く、コストダウンが可能となる。

【0021】（6）非線形光学結晶で高調波発生させたUV又は／及びDUVレーザーは、主に高出力の半導体レーザー励起YAG（Nd：YAG；ネオジウム添加のイットリウム・アルミニウム・ガネット）レーザーを基本波としているので、安全で保守整備が容易であり、安定した高出力を示し、小型で低消費電力であって安価なレーザー装置が実現する。

【0022】（7）光高調波変調UV又は／及びDUVレーザーアニールは、例えばアモルファスシリコン膜の光吸収効率の高い200～400nm波長を任意に選出し、高出力单一波長のレーザービーム照射が可能であるので、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFT毎の素子特性のばらつきが少なく、高いスループットでの高生産性によるコストダウンが可能である。

【0023】（8）本発明に用いる光高調波変調UV又は／及びDUVレーザーは、基本波と非線形光学結晶の選択及び組み合わせにより、波長、照射強度の制御が容易であり、例えばアモルファスシリコン膜の光吸収効率の高い200～400nm波長を任意に選出し、高出力单一波長のレーザービーム照射が可能となる。

【0024】（9）更に、照射レーザー光を線状、長方形または正方形形状などに自由に集光整形してレーザービ

ーム照射できるので、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFTごとの素子特性のばらつきが少なく、高いスループットでの高生産性によるコストダウンが実現する。

【0025】(10) 例えば、第3高調波発生の波長355nmのUVレーザービームで低級結晶性半導体薄膜を溶融及び冷却させて結晶化させるときに、同時に波長1064nmの基本波の赤外光レーザービーム、又は第2高調波の波長532nmの可視光レーザービーム、又はその赤外光レーザービーム及び可視光レーザービームの混合レーザービームを照射して、低級結晶性半導体薄膜及びガラス基板を加熱できるので、それらが十分に加熱されるために、徐冷却が促進して結晶化を確実に行なうことが容易である。又、基本波や第2高調波を捨てずにこれらを効率良く使用できるので、全体としての消費電力を低減できる。

【0026】(11) 光高調波変調UV又は／及びDUVレーザーアニールでは低温(200~400°C)で適用できるので、安価であって大型化が容易な低歪点ガラスや耐熱性樹脂を採用でき、軽量化とコストダウンを図れる。

【0027】(12) トップゲート型のみならず、ボトムゲート型、デュアルゲート型MOSFETでも、高いキャリア移動度の多結晶性半導体膜又は単結晶性半導体膜等が得られるために、この高性能の半導体膜を使用した高速、高電流密度の半導体装置、電気光学装置、更には高効率の太陽電池等の製造が可能となる。例えば、シリコン半導体装置、シリコン半導体集積回路装置、フィールドエミッショナディスプレイ(FED)装置、シリコングルマニウム半導体装置、シリコングルマニウム半導体集積回路装置、液晶表示装置、エレクトロルミネセンス(有機/無機)表示装置、発光ポリマー表示装置、発光ダイオード表示装置、光センサー装置、CCDエリア/リニアセンサ装置、CMOSセンサ装置、太陽電池装置等が製造可能である。

【0028】なお、本発明において、上記の低級結晶性半導体薄膜とは、後述の定義のように微結晶(グレインサイズでは通常、10nm以下)も含有するアモルファス(非晶質)をベースとした構造から主としてなり、上記の多結晶性半導体薄膜は、こうしたアモルファス成分が除去された大粒径(グレインサイズでは通常、数100nm以上)の多結晶をベースとし、微結晶も含有する構造から主としてなる。また、上記の単結晶性半導体膜は、単結晶シリコン等の単結晶半導体はもちろん、単結晶化合物半導体(例えば単結晶ガリウムヒ素)や単結晶シリコングルマニウムを含む概念であり、単結晶性とは、亜粒界や転移を含むする単結晶についてもこれを含めた概念と定義する。また、上記の多結晶性ダイヤモンド膜は、アモルファス(非晶質)ダイヤモンドをほとんど含有せず、微結晶ダイヤモンド及び多結晶ダイヤモ

ドを含有する結晶性ダイヤモンド膜とする。

#### 【0029】

【発明の実施の形態】本発明においては、上記したように、非線形光学効果により光高調波発生された近紫外線(UV)又は／及び遠紫外線(DUV)レーザービームを本発明のレーザーアニールに使用することができるが、この場合、光高調波発生された前記レーザービームを光高調波発生前の基本波と混合して使用するのがよい。

【0030】また、前記レーザービームを前記基体に対し相対的に走査して照射する帯精製法、又は複数の前記レーザービームを相前後して前記基体に対し相対的に走査する多重帯精製法によって前記レーザーアニールを行うのがよい。例えば、前記基体又はレーザーを位置固定しながら前記レーザー又は前記基体を移動させることができる。

【0031】そして、前記レーザービームのうち長波長成分を、矩波長成分に先立つて又はその前方位置にて前記基体に対し照射すると、低級結晶性半導体薄膜又は基板を予熱でき、結晶化ムラを低減し、また徐冷効果による結晶化促進に有利である。

【0032】本発明において、上記の低級結晶性半導体薄膜は、触媒CVDやプラズマCVD、減圧CVD、スペッタリング等により形成させてよいが、気相成長せる場合には、使用する原料ガスは、水素化ケイ素又はその誘導体、水素化ケイ素又はその誘導体と水素、窒素、ゲルマニウム、炭素又は錫を含有するガスとの混合物、水素化ケイ素又はその誘導体と水素、窒素、ゲルマニウム、炭素又は錫を含有するガスと周期表第III族又は第V族元素からなる不純物を含有するガスとの混合物、水素化ケイ素又はその誘導体と水素、窒素、ゲルマニウム、炭素又は錫を含有するガスと周期表第III族又は第V族元素からなる不純物を含有するガスとの混合物等が挙げられる。

【0033】例えば、800~2000°C(融点未満)の加熱触媒体に、水素系キャリアガスと原料ガスの少なくとも一部を接触させ、触媒反応又は熱分解反応によって発生したラジカル、イオン等の堆積種を200~400°Cに加熱された基板上に堆積させ、低級結晶性半導体膜を形成する。又は、汎用のプラズマCVD、減圧CVD、スペッタリング法等により、200~400°Cに加熱された基板上に堆積させ、低級結晶性半導体薄膜を形成する。

【0034】こうして、アモルファスシリコン膜、微結晶シリコン含有アモルファスシリコン膜、微結晶シリコン(アモルファスシリコン含有微結晶シリコン)膜、アモルファスシリコン及び微結晶シリコン含有多結晶シリコン膜、アモルファスゲルマニウム膜、微結晶ゲルマニウム含有アモルファスゲルマニウム膜、微結晶ゲルマニウム(アモルファスゲルマニウム含有微結晶ゲルマニウム)膜、アモルファスゲルマニウム及び微結晶ゲルマニ

ウム含有多結晶ゲルマニウム膜、 $\text{Si}_x\text{Ge}_{1-x}$  ( $0 < x < 1$ ) で示されるアモルファスシリコングルマニウム膜、アモルファスカーボン膜、微結晶カーボン含有アモルファスカーボン膜、微結晶カーボン (アモルファスカーボン含有微結晶カーボン) 膜、アモルファスカーボン及び微結晶カーボン含有多結晶カーボン膜、 $\text{Si}_x\text{C}_{1-x}$  ( $0 < x < 1$ ) で示されるアモルファスシリコンカーボン膜、又は $\text{Ga}_x\text{As}_{1-x}$  ( $0 < x < 1$ ) で示されるアモルファスガリウムヒ素膜からなる前記低級結晶性半導体薄膜を形成することができる。この低級結晶性半導体薄膜は、アモルファスをベースとし、また微結晶を含む場合には粒径が 10 nm 以下の微結晶が点在するのがよい。

【0035】そして、この低級結晶性半導体薄膜の成長時又は成長後に、触媒元素 (Ni, Fe, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, Au, Ge, Pb, Sn) の少なくとも 1 種を適量 (合計が例えば $10^{17} \sim 10^{20}$  atoms/cc) 含有させ、この状態で前記レーザーアニールを行うと、この低級結晶性半導体薄膜が多結晶化されるときに、結晶化を促進すると共に、多結晶半導体の結晶粒界 (グレインバウンダリ) に存在する不整を低減し、その膜ストレスを低減して高キャリア移動度、高品質の多結晶性半導体薄膜が得られ易くなる。この触媒元素は、原料ガス中にガス成分として混合したり、或いはイオン注入又はイオンドーピングにより、低級結晶性半導体薄膜中に含有させることができる。この時に、結晶化助長の役目が終了した触媒元素やその他の不純物元素がスキャニング終端の高温のシリコン溶融帯又は半溶融帯又は非溶融帯に吸出され (偏析し)、例えば、不純物元素 $10^{15}$  atoms/cc 以下まで低減した高純度の多結晶性半導体膜を形成することができる。この時に、複数の前記レーザー光照射により、連続してシリコン溶融帯と冷却を繰り返す、いわゆる多重帶精製法により、更に高結晶化と、触媒元素及びその他の不純物元素のゲッタリングを促進して、高純度化を図ってもよい。

【0036】なお、本発明により形成した大粒径多結晶性又は単結晶性半導体膜中の酸素、窒素、炭素濃度はそれぞれ、 $1 \times 10^{19}$  atoms/cc 以下、好ましくは $5 \times 10^{18}$  atoms/cc 以下がよく、水素濃度は 0.01 原子%以上が好ましい。

【0037】本発明のレーザーアニールによって前記低級結晶性シリコン等の低級結晶性半導体薄膜を大粒径の多結晶性シリコン等の多結晶性半導体薄膜に改質せざるが、これ以外にも、前記基体において所定の素子形成予定領域に所定形状及び寸法の段差付き凹部を形成し、この凹部を含む前記基体上に、触媒元素の少なくとも 1 種を含有するか或いは含有しない前記低級結晶性シリコン薄膜を形成した後、本発明のレーザーアニールによって前記段差の底辺角部をシードにグラフオエピタキシャル

成長させると、前記低級結晶性シリコン薄膜を単結晶性シリコン薄膜に改質せざることができる。

【0038】或いは、前記基体において所定の素子形成予定領域に単結晶シリコンと格子整合の良い結晶性サファイア等の物質層を形成し、この物質層上に、触媒元素の少なくとも 1 種を含有するか或いは含有しない前記低級結晶性シリコン薄膜を形成した後、本発明のレーザーアニールによって前記物質層をシードにヘテロエピタキシャル成長せざると、前記低級結晶性シリコン薄膜を単結晶性シリコン薄膜に改質せざることができる。

【0039】そして、本発明のレーザーアニールと低級結晶性半導体薄膜の成膜とを繰り返すことにより、膜を積層して  $\mu\text{m}$  単位の多結晶性又は単結晶性半導体厚膜を形成してもよい。つまり、1 回目の本発明のレーザーアニールで大粒径の多結晶性又は単結晶性半導体薄膜を形成し、その上に低級結晶性半導体薄膜を積層形成し、次にこの下地の大粒径多結晶性又は単結晶性半導体薄膜をシードに 2 回目の同様の本発明のレーザーアニールにより大粒径多結晶性又は単結晶性半導体膜の積層形成することを必要回数繰り返して、 $\mu\text{m}$  単位の膜厚の大粒径多結晶又は単結晶性半導体膜を積層形成できる。このような積層時は、下地の大粒径多結晶性又は単結晶性半導体膜が次々と積層形成するので、膜表面に近いほど高結晶化率、高純度の大粒径多結晶性又は単結晶性半導体膜を積層形成できる。この時は、各本発明のレーザーアニール後の結晶化膜表面に低級酸化膜形成やコントミ (不純物質) 付着がないことが重要となってくる。

【0040】低級酸化膜形成及びコントミ防止、生産性向上の面から、低級結晶性半導体薄膜形成工程又は手段 (プラズマ CVD、触媒 CVD、スペッタなど) と、本発明のレーザーアニール工程又はアニーラーとを一体化した装置とし、例えばインライン (連続チャンバ) 方式 (リニア型、回転型)、マルチチャンバ方式、クラスタ方式などによって連続的に若しくは順次に行うことが好ましい。

【0041】これらのうち、次の (1) 又は (2) のクラスタ方式がより好ましい。

(1) CVD 部で低級結晶性半導体薄膜を形成した後、アニーラー部の本発明のレーザーアニールで結晶化し、これを CVD 部に戻してその上に低級結晶性半導体薄膜を形成し、再びアニーラー部の本発明のレーザーアニールで結晶化を行う工程を繰り返すクラスタ方式一体化装置。

【0042】(2) CVD-1 部で下地保護膜 (酸化シリコン/窒化シリコン積層膜等) を形成し、CVD-2 部で低級結晶性半導体薄膜を形成した後、イオンドーピング/イオン注入部で触媒元素を添加してから、アニーラー部の本発明のレーザーアニールで結晶化し、更に CVD-3 部でゲート絶縁膜 (酸化シリコン膜等) 形成の作業を連続するクラスタ方式一体化装置。

【0043】そして、この時に、本発明のレーザーアニールを再び行う前に、前記多結晶性半導体薄膜に対し水素又は水素含有ガスのプラズマ放電又は触媒反応で生成した水素系活性種を作成させて（即ち、プラズマ又は触媒AHA（Atomic HydrogenAnneal）処理によって）、前記多結晶性半導体薄膜の表面クリーニング及び／又は低級酸化被膜の除去を行い、かかる後に前記低級結晶性半導体薄膜の形成後に前記レーザーアニールを行うことが望ましい。この場合（或いは他の場合も）、本発明のレーザーアニールを特に、減圧水素中又は減圧水素含有ガス中又は真空中で行うことが望ましい。

【0044】即ち、具体的には、次の（1）又は（2）の条件が好ましい。

（1）CVDによる成膜前に、原料ガスを流さないで水素系キャリアガスのみでプラズマAHA処理することにより、1回目の本発明のレーザーアニールで形成された多結晶性シリコン膜表面のコンタミ（低級酸化膜、水分、酸素、窒素、炭酸ガス等）を除去して界面をクリーニングし、残存するアモルファシリコン成分をエッチングして高結晶化率の多結晶シリコン膜化するので、この下地をシードとしてクリーンな界面上に積層する低級結晶性シリコン膜は、次の本発明のレーザーアニールにより、良好な結晶の大粒径多結晶性又は単結晶性半導体膜として積層形成される。

【0045】（2）酸化及び窒化防止のために、本発明のレーザーアニールを減圧水素又は減圧水素系ガス雰囲気中又は真空中で行う。この雰囲気としては、水素、又は水素と不活性ガス（アルゴン、ヘリウム、クリプトン、キセノン、ネオン、ラドン）との混合ガスであり、ガス圧は1.33Pa以上で大気圧未満、好ましくは1.33Pa～4×10<sup>4</sup>Paである。真空度は1.33Pa以上で大気圧未満、好ましくは1.3.3Pa～1.33×10<sup>4</sup>Paである。但し、低級結晶性半導体薄膜表面に絶縁性保護膜（酸化シリコン膜又は窒化シリコン膜、酸窒化シリコン膜又は酸化シリコン／窒化シリコン積層膜等）がある場合は、又は連続作業でない場合は、空气中、大気圧窒素中でもよい。

【0046】本発明のレーザーアニールを減圧水素又は減圧水素含有ガス中で行うと、雰囲気ガスを構成する、比熱が大きくて熱冷却効果の大きい気体分子が薄膜面に衝突し、離脱する際に薄膜の熱を奪うため、局部的に温度の低い部分を形成し、これによって、この部分で結晶核が発生し、結晶の成長を促進することがある。このときの雰囲気ガスが水素ガス又は水素と不活性ガス（He、Ne、Ar等）の混合ガスであれば、そのガス圧を1.33Pa以上で大気圧未満、好ましくは1.33Pa～4×10<sup>4</sup>Paとするのがよいが、これは比熱の高い水素分子等の運動により上記の作用効果が確実に得られるからである。

【0047】光高調波変調UV/DUVレーザーアニ

ルは、例えば以下のように行うのがよい。

①第3高調波発生の波長355nmのUVレーザービームで低級結晶性半導体薄膜を溶融又は半溶融又は非溶融状態に加熱し、冷却させて結晶化させる。

②同時に、基本波1064nmの赤外光レーザービーム、又は第2高調波の波長532nmの可視光レーザービーム、又はその赤外光レーザービーム及び可視光レーザービームの混合レーザービームを照射して、低級結晶性半導体薄膜及びガラス基板を加熱する。

③同時に、抵抗加熱ヒーター、赤外線ランプ等で低級結晶性半導体薄膜及びガラス基板全体を加熱する。

④同時に、基本波1064nmの赤外光レーザービーム、又は第2高調波の波長532nmの可視光レーザービーム、又はその赤外光レーザービーム及び可視光レーザービームの混合レーザービームと、抵抗加熱ヒーター、赤外線ランプ等で低級結晶性半導体薄膜及びガラス基板を加熱する。

【0048】つまり、次のいずれかを行う。

（1）第3高調波UVレーザービーム（波長355nm）と基本波1064nmの赤外光レーザービームの同時照射（図11の（A））

（2）第3高調波UVレーザービーム（波長355nm）と第2高調波の可視光レーザービーム（波長532nm）の同時照射（図11の（B））

（3）第3高調波UVレーザービーム（波長355nm）と基本波1064nmの赤外光レーザービームと第2高調波の可視光レーザービーム（波長532nm）の同時照射（図11の（C））

【0049】この時、低級結晶性半導体薄膜の効率の良い加熱溶融と基板の加熱のために、

1. 基本波又は／及び第2高調波のレーザービーム照射領域は第3高調波UVレーザービーム照射領域よりも大きく、かつ第3高調波UVレーザー照射領域を含む領域であること。

2. 基本波又は／及び第2高調波レーザービームは、少なくとも第3高調波UVレーザービームを照射するのに先立って照射すること。

3. 基本波又は／及び第2高調波レーザービームは、第3高調波UVレーザービームの照射位置よりも移動方向前方側に照射すること。

4. 第3高調波UVレーザービームの照射時間は、基本波又は／及び第2高調波レーザービームを照射する期間内で、かつ基本波又は／及び第2高調波レーザービームを照射周期の1/2以下の期間とすることがよい。即ち、第3高調波UVレーザービームによる局部的加熱に、基本波又は／及び第2高調波レーザービームによる基板全体の加熱、或いは／並びに、抵抗加熱ヒーター、赤外線ランプ等による基板全体の加熱を組み合わせるのがよい。

【0050】従来のエキシマレーザーアニールでは、ブ

ラズマCVDによるアモルファスシリコン膜中に10～30%程度含有される水素を除去するために、①400℃、1h以上の加熱を行なうか、或いは、②溶融させる照射エネルギーよりも低い照射エネルギーで加熱し、或いは③これらの①と②を併用している。仮に、このように脱水素化処理をしないと、溶融時に水素が膨張、爆発して膜にクラックが発生する。そして、こうした前処理の後に、溶融エネルギーでレーザー光を照射して結晶化させているので、効率が悪く、得られる半導体薄膜の品質は向上しない。

【0051】これに対して、本発明のレーザーニールでは、例えば、低級結晶性半導体薄膜を溶融させる光高調波変調UV/DUVレーザーと同期して、その前方領域をその基本波（赤外線、可視光線）の照射で予備加熱して脱水素化した直後に、溶融エネルギーを照射して結晶化するので、脱水素化の効率が向上すると共に、同時に基板全体の加熱温度低下をもたらすため、生産性向上と、形成した多結晶性半導体薄膜の品質が向上する。

【0052】このような光高調波変調UV/DUVレーザーニール時に、前記基板に熱風を吹き付けるのがよい。即ち、基板温度の均一化及び安定化、膜及び基板ストレスの低減化、徐冷却促進等のために、例えば100～400℃の空気、又は不活性ガス（窒素ガス等）の熱風を基板裏面から吹き付けるのが望ましい。また、抵抗加熱ヒーター、赤外線ランプ、レーザービームなどにより基板をその歪点以下の温度に加熱するのもよいが、例えば基板材質別に、ガラス基板では200～500℃、好ましくは300～400℃に加熱し、石英ガラス基板では200～800℃、好ましくは300～600℃に加熱する。

【0053】光高調波変調UV又は/及びDUVレーザーニールする方法としては、次の方法がある。

- ①基板を固定し、例えば300mm×0.3mmの線状に集光整形した前記レーザービームを所定のオーバーラップ量でずらしながら照射する。即ち、いわゆるガルバノメータスキャナで走査させて照射アニールする。
- ②例えば300mm×0.3mmの線状に集光整形した前記レーザービームを固定し、基板を高精度でStep & Repeat移動させて所定のオーバーラップ量でずらしながら照射アニールする。

【0054】なお、波長355nmのUVレーザーを発生する方法は次の通りであってよい。

米国特許第5253102号による方法：Nd:YAG（波長1064nm）を第1の非線形光学結晶で光和周波発生（SFG:Sun Frequency Generation）させて第2高調波発生（SHG:Secondary Harmonic Generation）の波長532nmのレーザー光を発生させ、さらに第2の非線形光学結晶において前記532nmのレーザー光とNd:YAG基本波（波長1064nm）の光和周波発生により紫外レーザー出力355nmを得る。

【0055】日本特許第3057252号による方法：フラッシュランプ励起方式又はレーザーダイオード励起方式のモードロック型Nd:YAG（波長1064nm）レーザー発振器で発生させたレーザービームを例えばKTP（チタノリン酸カリウム：KTiOPO<sub>4</sub>）より成る第一の非線形光学結晶に入力して角周波数2ωの第2高調波及び角周波数ωの基本波を生成する。そして、1/2波長板によってその第2高調波の偏光面を90°回転させてその第2高調波を基本波と混合した後、それを例えばBBO（β-BaB<sub>2</sub>O<sub>4</sub>：ホウ酸バリウム）より成る第2の非線形光学結晶に入力して和周波数信号発生により角周波数3ωの第3高調波を発生させる。この第3高調波は、λ/3=355nmの波長となる。

【0056】使用可能な非線形光学結晶としては、LB<sub>0</sub>（LiB<sub>3</sub>O<sub>5</sub>：ホウ酸リチウム）、BBO（β-BaB<sub>2</sub>O<sub>4</sub>：ホウ酸バリウム）、KDP（リン酸2水素カリウム）、KTP（チタノリン酸カリウム：KTiOPO<sub>4</sub>）のいずれかであることが望ましい。

【0057】非線形光学結晶の光高調波変調UVレーザーの仕様については、UVレーザー波長を決定しても低級結晶性半導体膜の膜厚及び膜質、基板温度、走査速度などにより、前記UVレーザー照射での結晶化レベル及びキャリア移動度が左右されるが、以下に一例を示す。

例) UVレーザー波長 : 355nm  
UVレーザー平均出力 : 20W  
レーザービームサイズ : 200×1mm  
繰り返し周波数 : 20kHz (パルス状)

【0058】なお、この非線形光学結晶の光高調波変調UV/DUVレーザーニール装置は従来公知のものと同様であってよく、その他、ラインビームホモジナイザ光学系（波形成形用）、レーザーニーラーの操作プロセス、トランスファ、ロード/アンロードのマルチチャンバーシステム、計測、制御系等も公知技術によるものであつてよい。

【0059】また、前記低級結晶性半導体薄膜上に例えば酸化シリコン膜又は窒化シリコン膜又は酸窒化シリコン膜又は酸化シリコン/窒化シリコン積層膜などの絶縁性保護膜を適当な膜厚で形成し、この状態で前記レーザーニールを行うのがよい。例えば、前記基板上に形成された前記低級結晶性半導体薄膜に対し、又は保護用絶縁膜を被覆して、前記低級結晶性半導体薄膜の本発明のレーザーニールを行うに際し、その上面から又は下面から又は上面と下面から同時に前記レーザービーム照射を行うのがよい（但し、上面以外の場合は、基板は透明（400nm以下の波長の光も透過すること。））。

【0060】この場合、前記低級結晶性半導体薄膜、又は前記保護用絶縁膜を被覆した前記低級結晶性半導体薄膜はアイランド化されたものであること、大気圧窒素中又は空気中で前記レーザービーム照射を行うこと、減圧

水素ガス中又は減圧水素含有ガス中又は真空中で前記レーザービーム照射を行うこと（これらは、他のレーザービーム照射条件下でも同様であつてよい）がよい。

【0061】基板温度上昇低減、膜ストレス低減、含有ガス（水素など）の瞬間的膨張による膜のクラック防止、徐冷却による大粒径化などのために、更に、前記低級結晶性半導体薄膜、又は前記の絶縁性保護膜を被覆した低級結晶性半導体薄膜はパターニングしてアイランド化した状態で、前記レーザーアニールを行うのがよい。

【0062】また、磁場及び／又は電場の作用下で前記レーザーアニールを行うのがよい。

【0063】本発明のレーザーアニール時に、基体をその歪点以下の温度、好ましくは300～400℃に加熱しておくと、アニール時に低級結晶性半導体膜の脱水素化、結晶性の均一化、膜及び基板ストレス低減化、照射エネルギーの効率向上、スループット向上等を図れる。

【0064】本発明のレーザーアニールで得られた前記多結晶性又は単結晶性半導体薄膜によって、MOS TFTのチャンネル、ソース及びドレイン領域、又は、ダイオード、配線、抵抗、容量又は電子放出体等を形成することができる。この場合、前記チャンネル、ソース及びドレイン領域、ダイオード、抵抗、容量、配線、電子放出体等の形成後に、これらの領域に対し、本発明のレーザーアニールを施すと、再結晶化と膜中のn型又はp型不純物の活性化を行える。また、上記領域をパターニング（アイランド化）した後に本発明のレーザーアニールを行うと、温度上昇による基板ダメージ（クラック、割れなど）を防止でき、かつ急激な温度上昇による膜のひび割れを防止できる。

【0065】本発明は、シリコン半導体装置、シリコン半導体集積回路装置、シリコーンゲルマニウム半導体装置、シリコーンゲルマニウム半導体集積回路装置、化合物半導体装置、化合物半導体集積回路装置、炭化ケイ素半導体装置、炭化ケイ素半導体集積回路装置、多結晶性ダイヤモンド半導体装置、多結晶性ダイヤモンド半導体集積回路装置、液晶表示装置、有機又は無機エレクトロルミネセンス（EL）表示装置、フィールドエミッショングディスプレイ（FED）装置、発光ポリマー表示装置、発光ダイオード表示装置、CCDエリア／リニアセンサ装置、CMOS又はMOSセンサ装置、太陽電池装置用の薄膜を形成するのに好適である。

【0066】例えば、この薄膜によりトップゲート型又はボトムゲート型又はデュアルゲート型MOS TFTを形成し、またこのMOS TFTによる周辺駆動回路、映像信号処理回路、メモリー等の一体型の液晶表示装置、有機EL表示装置、FED表示装置等が得られる。

【0067】この場合、内部回路及び周辺回路を有する半導体装置、電気光学表示装置、固体撮像装置等の製造に際し、これらの回路の少なくとも一方を構成するMOS TFTのチャンネル、ソース及びドレイン領域を前記

多結晶性又は単結晶性半導体薄膜によって形成してよく、また周辺駆動回路、映像信号処理回路、メモリー等の一体型の構成とすることもできる。

【0068】また、各色用の有機又は無機エレクトロルミネセンス層（EL層）の下層にそれぞれ、前記MOS TFTのドレン又はソースと接続された陰極又は陽極を有するEL素子構造とするのがよい。

【0069】この場合、前記MOS TFT及びダイオード等の能動素子上も前記陰極が覆うようにすれば、陽極が上部にある構造では発光面積が増大すると共に、陰極の遮光作用で発光光が前記能動素子に入射してリーク電流を発生させることを防止できる。また、前記各色用の有機又は無機EL層の各層上及び各層間の全面に前記陰極又は陽極が被着されるようにすれば、全面が陰極又は陽極で覆われることにより、湿気に弱い有機EL層の劣化や電極の酸化を防止して、長寿命、高品質、高信頼性が可能となり、また陰極で覆われると放熱効果が高まるので、発熱による有機EL薄膜の構造変化（融解あるいは再結晶化）が低減し、長寿命、高品質、高信頼性が可能となり、更にこれにより、高精度、高品質のフルカラーの有機EL層を生産性良く形成できるので、コストダウンが可能となる。

【0070】また、前記各色用の前記有機又は無機EL層間にクロム、二酸化クロム等のブラックマスク層を形成すると、各色間又は画素間での光漏れを防ぎ、コントラストが向上する。

【0071】本発明をフィールドエミッショングディスプレイ（FED）装置に適用するときは、そのエミッタ（電界放出カソード）を、前記多結晶性又は単結晶性半導体薄膜を介して前記MOS TFTのドレンに接続すると共に前記多結晶性半導体薄膜上に成長されたn型多結晶性半導体膜又は多結晶性ダイヤモンド膜によって形成するのがよい。

【0072】この場合、前記MOS TFT、ダイオード等の能動素子上に絶縁膜を介してアース電位の金属遮蔽膜（これは、前記FEDのゲート引き出し電極と同一材料で同一工程により形成すると、工程簡略化等の点で有利である。）を形成すると、気密容器内にあるガスがエミッタから放出された電子により正イオン化されて絶縁層上にチャージアップし、この正電荷が絶縁層下にある能動素子に不要な反転層を形成したり、この反転層を介して余分な電流が流れるために生じるエミッタ電流の暴走を防止することができる。また、エミッタから放出された電子の衝突により蛍光体が発光する際、この光によりMOS TFTのゲートチャンネル内に電子、正孔が発生してリーク電流が生じることも防止できる。

【0073】次に、本発明を好ましい実施の形態について更に詳細に説明する。

【0074】第1の実施の形態

図1～図16について、本発明の第1の実施の形態を説

明する。

【0075】本実施の形態は、本発明をトップゲート型の多結晶性シリコンCMOS(Complementary MOS) TFTに適用したものである。

【0076】<触媒CVD法とその装置>まず、本実施の形態に用いる触媒CVD法について説明する。触媒CVD法においては水素系キャリアガスとシランガス等の原料ガスとからなる反応ガスを加熱されたタンクステン等の触媒体に接触させ、これによって生成したラジカルな堆積種又はその前駆体及び活性化水素イオン等の水素系活性種に高いエネルギーを与え、基板上にアモルファスシリコン含有微結晶シリコン等の低級結晶性半導体薄膜を気相成長させる。

【0077】この触媒CVDは、図5～図6に示す如き装置を用いて実施される。

【0078】この装置によれば、水素系キャリアガスと水素化ケイ素（例えばモノシラン）等の原料ガス40（及び必要に応じて $B_2H_6$ や $PH_3$ 、 $SnH_4$ などのドーピングガスも含む。）からなるガスは、供給導管41からシャワーへッド42の供給口（図示せず）を通して成膜室44へ導入される。成膜室44の内部には、ガラス等の基板1を支持するためのサセプタ45と、耐熱性の良い（望ましくは触媒体46と同じか或いはそれ以上の融点を有する材質の）シャワーへッド42と、例えばコイル状のタンクステン等の触媒体46と、更には開閉可能なシャッター47とがそれぞれ配されている。なお、図示はしないが、サセプタ45と成膜室44との間には磁気シールが施され、また、成膜室44は前工程を行なう前室に後続され、ターボ分子ポンプ等でバルブを介して排気される。

【0079】そして、基板1はサセプタ45内のヒーター線等の加熱手段で加熱され、また触媒体46は例えば抵抗線として融点以下（特に800～2000℃、タンクステンの場合は約1600～1800℃）に加熱されて活性化される。触媒体46の両端子は直流又は交流の触媒体電源48に接続され、この電源からの通電により所定温度に加熱される。

【0080】触媒CVD法を実施するには、図5の状態で、成膜室44内の真空度を $1.33 \times 10^{-4}$ ～ $1.33 \times 10^{-6}$ Paとし、例えは水素系キャリアガス100～200SCCMを供給して、触媒体を所定温度に加熱して活性化した後に、水素化ケイ素（例えばモノシラン）ガス1～20SCCM（及び必要に応じて $B_2H_6$ や、 $PH_3$ 等のドーピングガスも適量含む。）からなる反応ガス40を供給導管41からシャワーへッド42の供給口43を通して導入して、ガス圧を0.133～1.33Pa、例えは1.33Paとする。ここで、水素系キャリアガスは、水素、水素+アルゴン、水素+ヘリウム、水素+ネオン、水素+キセノン、水素+クリプトン等の、水素に不活性ガスを適量混合させたガスであれ

ば、いずれでもよい（以下、同様）。

【0081】そして、図6のようにシャッター47を開け、原料ガス40の少なくとも一部を触媒体46と接触して触媒的に分解させ、触媒分解反応または熱分解反応によって、高エネルギーをもつシリコン等のイオン、ラジカル等の反応種の集団（即ち、堆積種又はその前駆体及びラジカル水素イオン）を形成する。こうして生成したイオン、ラジカル等の反応種50を高いエネルギーで200～800℃（例えは300～400℃）に保持された基板1上にアモルファスシリコン含有微結晶シリコン等の所定の膜として気相成長させる。

【0082】こうして、プラズマを発生することなく、反応種に対し、触媒体46の触媒作用とその熱エネルギーによる高いエネルギーを与えるので、反応ガスを効率良く反応種に変えて、基板1上に均一に熱CVDで堆積することができる。

【0083】また、基板温度を低温化しても堆積種のエネルギーが大きいために、目的とする良質の膜が得られることから、基板温度を更に低温化でき、大型で安価な絶縁基板（ほうけい酸ガラス、アルミノけい酸ガラス等のガラス基板、ポリイミド等の耐熱性樹脂基板等）を使用でき、この点でもコストダウンが可能となる。

【0084】また、勿論のことであるが、プラズマの発生がないので、プラズマによるダメージがなく、低ストレスの生成膜が得られると共に、プラズマCVD法に比べ、はるかにシンプルで安価な装置が実現する。

【0085】この場合、減圧下（例えは0.133～1.33Pa）又は常圧下で操作を行なえるが、減圧タイプよりも常圧タイプの方がよりシンプルで安価な装置が実現する。そして、常圧タイプでも従来の常圧CVDと比べて密度、均一性、密着性のよい高品質膜が得られる。この場合も、減圧タイプよりも常圧タイプの方がスループットが大であり、生産性が高く、コストダウンが可能である。

【0086】上記の触媒CVDにおいて、触媒体46による副射熱のために、基板温度は上昇するが、上記のように、必要に応じて基板加熱用ヒーター51を設置してよい。また、触媒体46はコイル状（これ以外にメッシュ、ワイヤー、多孔板状もよい。）としているが、更にガス流方向に複数段（例えは2～3段）として、ガスとの接触面積を増やすのがよい。なお、このCVDにおいて、基板1をサセプタ45の下面においてシャワーへッド42の上方に配しているので、成膜室44内で生じたパーティクルが落下して基板1又はその上の膜に付着することがない。

【0087】<光高調波変調UV又は/及びDUVレーザーアニールとその装置>図7及び図8には、本発明のレーザーアニールを行う装置（アニーラー）の要部が例示されている。これによれば、不活性ガス（窒素等）中で、Nd:YAG (1064nm) レーザーロッド20

0からの出射レーザービーム210Aを非線形光学結晶201、202によって1/3高調波変調して波長355nmのUVレーザービーム210を得、これを照射エネルギー密度300~500mJ/cm<sup>2</sup>で、基板1上のアモルファスシリコン又は微結晶シリコン膜7Aに照射してこれを溶融又は半溶融状態とする。

【0088】この場合、例えば、次の2つの方法がある。

(1) 図7のように、固定した基板1に、レーザー照射光210をレンズ系203からガルバノメータスキャナ204に入射させ、適当な速度でガルバノメータスキャニングさせる。スキャナ204の回転によって、レーザービーム210は実線及び仮想線のように走査される。

(2) 図8のように、固定したレーザー照射光210に対して基板1を高精度ステッピングモーターにより適当な速度で移動させる。即ち、基板1を紙面左右方向及び/又は垂直方向にX-Y移動(ステップ&リピート)させる。

【0089】この場合、レーザービーム210を線状(例えば、(200~600mm)×(1~10mm))、長方形状(例えば(10~100mm)×(200~300mm))又は正方形状(例えば100×100mm)に集光整形して照射することにより、照射強度むらを低減し、溶融効率及びスループット向上での生産性向上を図ってもよい。基板1は、サセプタ(図示せず)内のヒーター(図示せず)によってその垂点以下に予め加熱されてよい。

【0090】こうして、薄膜7A中のシリコン溶融帯を移動させる方法(例えば、ノース領域からゲート領域及びドレイン領域にシリコン溶融帯を適当な速度で移動させて、ソース領域から自然冷却させて結晶化させる、いわゆる帶精製法)により、大粒径多結晶性シリコン膜7を形成する。

【0091】このとき、図7中に示すように、結晶化助長の役目が終わった触媒元素や他の不純物元素が、スキャニング終端の高温のシリコン溶融帯又は半溶融帯7Bに吸出(偏析)されてゲッタリングされ、例えば触媒元素及び不純物元素濃度が1×10<sup>15</sup>atoms/cm<sup>2</sup>以下まで低減した高純度の大粒径多結晶性シリコン膜が形成される。

【0092】また、このときに、複数の光高調波変調UVレーザー光の照射により、連続してシリコン溶融又は半溶融と冷却を繰り返す、いわゆる多重帶精製法により、さらに高結晶化と、触媒元素及び他の不純物元素のゲッタリングを促進して、高純度化を図ってもよい。そして、このレーザースキャニング方向に多結晶性シリコンの結晶軸が揃うので、結晶粒界の不整が少なく、キャリア移動度を高くすることができます。

【0093】また、上記と同様に、図9のように、支持台202'上に固定した基板1に対しレーザー照射光2

10を適当な速度で移動させたり、或いは、図10のように、固定したレーザー照射光210に対して基板1を適当な速度で移動させてシリコン溶融帯又は半溶融帯を移動させる、いわゆる帶精製法(図9(1)、図10(3))又は複数のレーザー光照射により連続してシリコン溶融又は半溶融と冷却を繰り返す、いわゆる多重帶精製法(図9(2)、図10(4))において、基板温度の均一化及び安定化による結晶化膜の均一化、結晶化膜及び基板ストレス低減化、レーザー照射パワーの削減、徐冷却促進等のために、常温~400°C、好ましくは200~300°Cの空気又は不活性ガス(窒素ガス等)の熱風205'を基板裏面よりノズル206'から吹き付けるか、或いは赤外線ランプ(ハロゲンランプ等)207'で加熱するのがよく、それらを同時に実行してもよい。照射光210と熱風205'とは、上下対称位置で同期させるのがよい。多重帶精製法の場合、高結晶化と触媒元素及び他の不純物元素のゲッタリングが更に促進して高純度化を図れ、また、結晶化帯7は図中の(c)→(b)→(a)の順に高結晶化、高純度化される。

【0094】光高調波変調レーザーには、300~400nmの近紫外線(UV)と、200~300nmの遠紫外線(DUV)がある。近紫外線レーザーには、Nd:YAG(波長1064nm)の1/3高調波の355nm、He-Ne(波長632.8nm)の1/2高調波の316.4nm、He-Ne(波長1.15μm)の1/3高調波の383.3nm、ルビー(波長694.3nm)の1/2高調波の347.2nmなどがある。遠紫外線レーザーには、Ar(波長514.5nm、488nm)の1/2高調波の257.8nm、244nm、Kr(波長520.8nm、476.2nm)の1/2高調波の260.4nm、238.1nm、He-Cd(波長441.6nm)の1/2高調波の220.8nmなどがある。

【0095】一般に、レーザー光の波長と高調波光の波長の関係は次の式[I]に従う。つまり、波長λ1のレーザ光と波長λ2のレーザー光が非線形光学結晶に入射し、非線形光学結晶が波長変換して波長λ3のレーザー光を得るときのλ1、λ2及びλ3の関係は式[I]に従う。

$$1/\lambda_1 + 1/\lambda_2 = 1/\lambda_3 \dots [I]$$

【0096】例えば、図11(A)のように、Nd:YAG固体パルスレーザー(波長1064nm)200のレーザービーム210Aを第一の非線形光学結晶(KTP:チタノリン酸カリウム)201で波長変換する場合、上記式にλ1=λ2=1064nmを代入するとλ3=532nmを得る。次に、この波長532nmと、ミラー205で導かれた波長1064nmを第二の非線形光学結晶(BBO:ホウ酸バリウム)202に入力して波長変換すると、上記式にλ1=1064nm、λ2

= 532 nmを代入して高調波光 $\lambda_3 = 355$  nmが得られる。このときに、波長変換されず残存するレーザー光及び高調波光は、図示されていない波長分離ミラーにより分離され、高調波光 $\lambda_3 = 355$  nmのみが加工形状決定機構に入射する。

【0097】この高調波光 $\lambda_3$ は、加工形状決定機構である光整形器203で帯状、長方形形状又は正方形形状の任意の形状及び寸法のレーザービームに整形され、更に偏向器206、例えばガルバノメータスキャナシステム204の光学スキャニングユニットに入射され、走査指令に基づいてビーム走査する。この場合、高調波光 $\lambda_3 = 355$  nmはミラー205から導かれた基本波 $\lambda_1 = 1064$  nmと混合器207で混合されてよい。

【0098】その他、図11(B)や図11(C)に示すように、高調波光又は基本波の混合の選択によって、種々の波長成分からなるレーザービームを得ることができる。

【0099】上記のように光高調波変調して形成された高出力のUV(又はDUV)レーザーは、通常の固体パルスレーザーに比べて、ほぼ同じ波長でも強い照射エネルギー強度が得られ、アモルファスシリコン膜等を溶融するのに適している。

【0100】いずれの光高調波変調UV又はDUVレーザーアニールでも、レーザー光を線状(例; 500~600 mm × 10 μm ~ 1 mm)、長方形(例; 10~100 mm × 200~300 mm)又は正方形(例; 100 × 100 mm)に集光整形して照射することにより、照射強度、つまり溶融効率及びスループット向上が図れる。

【0101】そして、例えば1000 × 1000 mmの大面積ガラス基板では、図7及び図8に示すように例えばその面積を4分割してそれぞれの面積を複数の光高調波変調UV又はDUVレーザー照射するのもよい。例えば、固定した基板面を4分割し、それぞれの面積にレーザー光を同期して適当な速度でガルバノメータスキャニングさせる方法(図7)、固定した4個のレーザー光に対して、基板を同期して高精度ステッピングモーターにより適当な速度で移動させる方法(図8)がある。

【0102】このように、基板又はレーザーを任意の適当な速度で移動させて、加熱溶融及び冷却速度をコントロールすることにより、任意の結晶粒径と任意の純度の多結晶性シリコン膜を形成してもよい。

【0103】この光高調波変調UV又はDUVアニール条件(波長、照射強度、照射時間等)は、アモルファスシリコン膜厚、ガラス耐熱温度、結晶粒径(キャリア移動度)により、最適化を適宜決定してもよい。UV又はDUVを主体とするレーザービームは勿論、これらの混合ビーム、基本波との混合ビーム等のように種々の波長成分を選択してよい。

【0104】また、光高調波変調UV又はDUVレーザ

ーニールでは、基板温度の均一化及び安定化による結晶化膜の均一化、結晶化膜及び基板ストレス低減化、レーザーパワー削減、徐冷却促進などのために、基板の歪み点以下の温度、例えば常温~500°C、好ましくは200~400°Cに加熱(赤外線ランプ、セラミックヒータ等)するのがよい。

【0105】<触媒CVD(又はプラズマCVDなど)と光高調波変調UV又は/及びDUVレーザーアニールの連続処理>コンタミ防止、生産性向上の面から、低級結晶性半導体薄膜形成工程又は手段(プラズマCVD、触媒CVD、スペッタなど)と、本発明のレーザーアニール又はアーナーラーとを一体化した装置とし、例えばインライン(連続チャンバ)方式(リニア型、回転型)、マルチチャンバ方式、クラスタ方式などによって連続的に若しくは順次に行うことが好ましい。

【0106】次の(1)又は(2)のクラスタ方式がより好ましい。

(1) 例えば、図12に示すように、CVD部で低級結晶性半導体薄膜を形成した後、アーナーラー部の本発明のレーザーアニールで結晶化し、これをCVD部に戻してその上に低級結晶性半導体薄膜を形成し、再びアーナーラー部の本発明のレーザーアニールで結晶化を行う工程を繰り返すクラスタ方式一体化装置としてよい。図13(A)は、これをインライン方式としたものである。

【0107】(2) また、図14に示すように、CVD-1部で下地保護膜(酸化シリコン/窒化シリコン積層膜)を形成し、CVD-2部で低級結晶性半導体薄膜を形成した後、必要に応じてイオンドーピング/イオン注入部でIV族元素を適量添加してから、アーナーラー部の本発明のレーザーアニールで結晶化し、更にCVD-3部でゲート絶縁膜(酸化シリコン膜等)形成の作業を連続するクラスタ方式一体化装置としてもよい。図13(B)は、これをインライン方式としたものである。

【0108】なお、CVD-1部で形成する酸化シリコン/窒化シリコン積層膜は、トップゲート型MOSFETの下地保護膜、又はボトムゲート型MOSFETのボトムゲート絶縁膜兼保護膜となるものであってよく、またCVD-3部で形成する酸化シリコン膜又は酸化シリコン/窒化シリコン積層膜は、トップゲート型MOSFETのゲート絶縁膜、又はボトムゲート型MOSFETの保護膜となるものであってよい。

【0109】また、上記のCVDは触媒CVD、プラズマCVD等であってよく、またこの代りにスペッタでもよい。CVDでは、成膜前にプラズマ又は触媒AHA処理するのがよい。例えば、プラズマCVDによる成膜前に、原料ガスを流さないで水素系キャリアガスのみでプラズマAHA(Atomic Hydrogen Anneal)処理することにより、形成された多結晶性シリコン膜表面のコンタミ(低級酸化膜、水分、酸素、窒素、炭酸ガス等)を除去して界面をクリーニングし、残存するアモルファスシリ

コン成分をエッチングして高結晶化率の多結晶シリコン膜化するので、この下地層をシードとして、クリーンな界面上に積層する低級結晶性シリコン膜は、次のレーザーアニールにより良好な結晶の大粒径多結晶性又は単結晶性半導体膜として積層形成される。

【0110】なお、酸化及び窒化防止のために、前記レーザーアニールを減圧水素又は減圧水素系ガス雰囲気中又は真空中で行うのがよい。水素、又は水素と不活性ガス（アルゴン、ヘリウム、クリプトン、キセノン、ネオン、ラドン）との混合ガスであり、ガス圧は1.33Pa以上で大気圧未満、好ましくは133Pa～4×10<sup>4</sup>Paであり、真圧度は1.33Pa以上で大気圧未満、好ましくは13.3Pa～1.33×10<sup>4</sup>Paである。但し、低級結晶性半導体薄膜表面に絶縁性保護膜（酸化シリコン膜又は窒化シリコン膜又は酸窒化シリコン膜又は酸化シリコン／窒化シリコン積層膜など）がある場合、又は連続作業でない場合は、空気中、大気圧窒素中でもよい。

【0111】なお、上記の触媒CVD及び本発明のレーザーアニールはいずれも、プラズマの発生なしに行えるので、プラズマによるダメージがなく、低ストレスの生成膜が得られ、またプラズマCVD法に比べ、シンプルで安価な装置を実現できる。

【0112】なお、本発明のレーザーアニール時に、図15に示すように、低級結晶性シリコン膜7Aの表面を酸化シリコン膜又は窒化シリコン膜又は酸窒化シリコン膜又は酸化シリコン／窒化シリコン積層膜等の絶縁性保護膜235で被覆し、この状態で前記レーザーアニールを行うと、そのように被覆された場合には、反射低減の効果により前記レーザービームが効率良く低級結晶性半導体薄膜に吸収され、加熱溶融されるので、目的とする多結晶性シリコン薄膜7が確実に形成される。しかし、被覆されない場合は、溶融したシリコンが飛散したり、表面張力によりシリコン粒が残存し、多結晶性シリコン膜が形成されないことがある。

【0113】また、本発明のレーザーアニールによる低級結晶性半導体薄膜の結晶化処理時に、磁場又は電場、又は磁場及び電場を印加し、この作用下でアニールを行うと、結晶粒の結晶方位を揃えることができる。

【0114】例えば、磁場を印加する場合、図16に示すように、UV又はDUVレーザースキャン装置204と基板1を収容した真空容器211の周囲に永久磁石231又は電磁石232を設け、これによる磁場の作用下で本発明のレーザーアニールを行う。

【0115】このように、例えば低級結晶性シリコン薄膜7Aに磁場の作用下で本発明のレーザーアニールを行うと、一旦溶けたシリコン薄膜7Aのシリコン原子の電子スピントリオニカが磁場と相互作用し、一定の方向に向き、この状態から冷却により固化する際にシリコンの結晶方位が揃う。こうして結晶化された膜は結晶方位がほぼ揃うた

め、粒界のもつ電子ボテンシャルバリアが低くなり、キャリア移動度が大きくなる。この際、結晶方位を一定方向に揃えることが重要であり、シリコン原子の外殻軌道の構造に応じて、得られた多結晶性シリコン薄膜7の垂直方向に結晶が揃う場合もあり或いは水平方向に結晶方位が揃う場合もある。結晶粒が揃うことにより、多結晶性シリコン薄膜の表面の凹凸もなくなり、薄膜の表面が平坦化されることになり、これに接して形成されるゲート絶縁膜等との間の界面状態が良好となり、キャリア移動度が改善されることになる。

【0116】そして、この磁場の作用下での本発明のレーザーアニールに用いるスキャナ204は真空容器211内に収容されていることから、その照射効率が良く、レーザースキャニング特有の上述した作用を充分に発揮することができる。

【0117】図17は、上記の磁場に代えて電源233による電場を印加する例であるが、スキャナ204と基板1を収容した真空容器211の周囲に高周波電圧（または直流電圧、或いはこれらの双方）を印加する電極234を設け、これによる電場の作用下で本発明のレーザーアニールを行う。

【0118】この時に、一旦溶けた低級結晶性シリコン薄膜7A中のシリコン原子の電子スピントリオニカが電場と相互作用して一定の方向に向き、この状態から冷却により固化する際に、一定の方向性をもって結晶化することになる。これは、上記した磁場の場合と同様に、一定の方向に結晶粒が揃い、キャリア移動度が向上し、また表面の凹凸も減少する。更には、レーザービーム210の照射効率も良好である。

【0119】図18は、上記の磁場と共に電場も同時に印加する例であるが、スキャナ204と基板1を収容した真空容器211の周囲の永久磁石231（これは電磁石でもよい。）による磁場と同時に、高周波電圧（または直流電圧、或いはこれらの双方）を印加する電極234による電場が同時に作用する条件で本発明のレーザーアニールを行う。

【0120】この時に、一旦溶けた低級結晶性シリコン薄膜7Aのシリコン原子の電子スピントリオニカが磁場と電場の相互作用で一定の方向に向き、この状態から冷却により固化する際に、磁場と電場の相乗作用により更に十分な方向性をもって結晶化することになる。従って、一定の方向に結晶粒が更に揃い易くなり、キャリア移動度が一層向上し、また表面の凹凸も一層減少する。更には、レーザービーム210の照射効率も良好である。

【0121】<トップゲート型CMOS TFTの製造>次に、本実施の形態による光高調波変調UVレーザーアニールを用いたトップゲート型CMOS TFTの製造例を示す。

【0122】まず、図1の(1)に示すように、ほうけい酸ガラス、アルミノけい酸ガラス、石英ガラス、結晶

化ガラスなどの絶縁基板1の少なくともMOS TFT形成領域に、プラズマCVD、触媒CVD、減圧CVD等の気相成長法により、保護用の窒化シリコン膜及び酸化シリコン膜の積層膜からなる下地保護膜100を下記の条件で形成する（以下、同様）。

【0123】この場合、MOS TFT形成のプロセス温度によってガラス材質を使い分ける。200～500℃の低温の場合：ほうけい酸、アルミノけい酸ガラス等のガラス基板（500×600×0.5～1.1μm厚）、耐熱性樹脂基板を用いてもよい。600～1000℃の高温の場合：石英ガラス、結晶化ガラス等の耐熱性ガラス基板（6～12インチ、700～800μm厚）を用いてもよい。保護膜用の窒化シリコン膜はガラス基板からのNaイオンストップのために形成するが、合成石英ガラスを用いる場合は不要である。

【0124】また、触媒CVDを用いる場合、図5及び図6に示したと同様の装置が使用可能であるが、触媒体の酸化劣化防止のために、水素系キャリアガスを供給して触媒体を所定温度（約1600～1800℃、例えば約1700℃）に加熱し、成膜後は触媒体を問題ない温度まで冷却して水素系キャリアガスをカットする必要がある。

【0125】成膜条件としては、チャンバ内に水素系キャリアガス（水素、アルゴン+水素、ヘリウム+水素、ネオン+水素等）を常時流し、流量と圧力、サセプタ温度を下記の所定の値に制御する。

チャンバ内圧力：0.1～10Pa程度、例えば1Pa  
サセプタ温度：350℃

水素系キャリアガス流量（混合ガスの場合、水素は80～90モル%）：100～200SCCM

【0126】また、窒化シリコン膜は、次の条件で50～200nm厚に形成する。 $H_2$ をキャリアガスとし、原料ガスとしてモノシラン（ $SiH_4$ ）にアンモニア（ $NH_3$ ）を適量比率で混合して形成。

$H_2$ 流量：100～200SCCM、 $SiH_4$ 流量：1～2SCCM、 $NH_3$ 流量：3～5SCCM

【0127】また、酸化シリコン膜は、次の条件で50～200nm厚に形成する。 $H_2$ をキャリアガス、原料ガスとしてモノシラン（ $SiH_4$ ）にHe希釈 $O_2$ を適量比率で混合して形成。

$H_2$ 流量：100～200SCCM、 $SiH_4$ 流量：1～2SCCM、He希釈 $O_2$ 流量：0.1～1SCCM

【0128】なお、RFプラズマCVDで成膜する場合の条件は次の通りである。酸化シリコン膜は、 $SiH_4$ 流量：5～10SCCM、 $N_2O$ 流量：1000SCCM、ガス圧：50～70Pa、RFパワー：1000W、基板温度：350℃で形成する。

【0129】また、窒化シリコン膜は、 $SiH_4$ 流量：50～100SCCM、 $NH_3$ 流量：200～250SCCM、 $N_2$ 流量：700～1000SCCM、ガス

圧：50～70Pa、RFパワー：1300W、基板温度：250℃で形成する。

【0130】次いで、図1の（2）に示すように、触媒CVD又はプラズマCVD又はスパッタリング等によつて、触媒元素、例えば錫又はニッケルを $10^{18} \sim 10^{20}$ atoms/ccドープした（これはCVD時又は成膜後のイオン注入によってドープしてよい。）低級結晶性シリコン膜7Åを50nm厚に形成する。但し、この錫又はニッケルのドーピングは必ずしも必要ではない（以下、同様）。そして、連続して保護及び反射低減用の酸化シリコン膜を10～30nm厚に形成する。

【0131】この場合、図5及び図6に示した装置を用い、上記の触媒CVDにより下記の条件で低級結晶性半導体薄膜としての例えば錫又はニッケルドープの低級結晶性シリコンを気相成長させる。錫をドープする場合は、下記のガスとして供給でき、ニッケルをドープする場合は、イオン注入又はイオンドーピング法により薄膜形成後にドープしてよい。

【0132】触媒CVDによるアモルファスシリコン含有微結晶シリコンの成膜： $H_2$ をキャリアガス、原料ガスとしてモノシラン（ $SiH_4$ ）、水素化錫（ $SnH_4$ ）を適量比率で混合して形成。 $H_2$ 流量：150SCCM、 $SiH_4$ 流量：15SCCM、 $SnH_4$ 流量：15SCCM。この時、原料ガスのシラン系ガス（シラン又はジシラン又はトリシラン等）に、n型のリン又はひ素又はアンチモン等を適量混入したり、又はp型のボロン等を適量混入することにより、任意のn又はp型不純物キャリア濃度の錫含有シリコン膜を形成してもよい。

n型化の場合：ホスフィン（ $PH_3$ ）、アルシン（ $AsH_3$ ）、スチビン（ $SbH_3$ ）

p型化の場合：ジボラン（ $B_2H_6$ ）

【0133】なお、上記の各膜を同一のチャンバで形成する場合は、水素系キャリアガスを常時供給し、触媒体を所定温度に加熱してスタンバイをしておき、次のように処理してよい。

【0134】モノシランにアンモニアを適当比率で混合して所定膜厚の窒化シリコン膜を形成し、前の原料ガス等を十分に排出した後に、連続してモノシランとHe希釈 $O_2$ を適当比率で混合して所定膜厚の酸化シリコン膜を形成し、前の原料ガス等を十分に排出した後に、連続してモノシランと $SnH_4$ を適量比率で混合して所定膜厚の錫含有アモルファスシリコン含有微結晶シリコン膜を形成し、前の原料ガス等を十分に排出した後に、連続してモノシランとHe希釈 $O_2$ を適当比率で混合して所定膜厚の酸化シリコン膜を形成する。成膜後は原料ガスをカットし、触媒体を問題ない温度まで冷却して水素系キャリアガスをカットする。この時、絶縁膜形成時の原料ガスは傾斜減少又は傾斜増加させて、傾斜接合の複合又は積層絶縁膜、例えば酸化シリコン／窒化シリコン積層膜としてもよい。

【0135】或いは、それぞれ独立したチャンバで形成する場合は、各チャンバ内に水素系キャリアガスを常時供給し、触媒体を所定温度に加熱してスタンバイしておき、次のように処理してよい。Aチャンバに移し、モノシランにアンモニアを適量比率で混合して所定膜厚の塗化シリコン膜を形成する。次にBチャンバに移し、モノシランにHe希釈O<sub>2</sub>を適量比率で混合して酸化シリコン膜を形成する。次にCチャンバに移し、モノシランとSiH<sub>4</sub>を適量比率で混合して錫含有のアモルファスシリコン含有微結晶シリコン膜を形成する。次にBチャンバに移し、モノシランにHe希釈O<sub>2</sub>を適量比率で混合して酸化シリコン膜を形成する。成膜後は原料ガスをカットし、触媒体を問題ない温度まで冷却して水素系キャリアガスをカットする。この時に、それぞれのチャンバ内に水素系キャリアガスとそれぞれの原料ガスを常時供給して、スタンバイの状態にしておいてよい。

【0136】RFプラズマCVDで低級結晶性シリコン膜を成膜する条件は、SiH<sub>4</sub>: 100 SCCM、H<sub>2</sub>: 100 SCCM、ガス圧: 1.33 × 10<sup>-4</sup> Pa、RFパワー: 100 W、基板温度: 350 °Cである。

【0137】次いで、図1の(3)に示すように、本発明のレーザーアニールを行なう。例えば、大気圧窒素ガス中で、Nd:YAG (1064 nm) を非線形光学結晶で1/3光高調波変調した波長355 nmのUVレーザービーム210を図7に示したようにして照射エネルギー密度300~500 mJ/cm<sup>2</sup>で照射し、アモルファスシリコン又は微結晶シリコン膜7 Aを溶融又は半溶融状態とし、徐冷却により、触媒元素の除かれた大粒径で高結晶化率の多結晶性シリコン膜7を50 nm厚に形成する。

【0138】このとき、図7中に示すように、結晶化助長の役目が終わった触媒元素やその他の不純物元素が、スキャニング終端の高温のシリコン溶融帶又は半溶融帶7 Bに吸出(偏析)されてゲッタリングされ、例えば触媒元素及び不純物元素濃度が1 × 10<sup>15</sup> atoms/cm<sup>2</sup>以下まで低減した高純度の大粒径多結晶性シリコン膜が形成される。

【0139】また、このときに、複数の光高調波変調UVレーザー光の照射により、連続してシリコン溶融又は半溶融と冷却を繰り返す、いわゆる多重帶精製法により、さらに高結晶化と、触媒元素及びその他の不純物元素のゲッタリングを促進して、高純度化を図ってよい。そして、このレーザースキャニング方向に多結晶性シリコンの結晶軸が揃うので、結晶粒界の不整が少なく、キャリア移動度を高くすることができます。

【0140】なお、この本発明のレーザーアニール前に予め、膜7 A中にイオン注入又はイオンドーピングにより触媒金属(ニッケルなど)をドーピングしておくのがよい。また本発明のレーザーアニール時に、低級結晶性シリコン膜の表面に保護用の酸化シリコン膜又は塗化シリコン膜又は酸塗化シリコン膜又は酸化シリコン/塗化シリコン積層膜等が存在していると、アニール時に溶融したシリコンが飛散したり、表面張力によるシリコン結晶粒(塊)化がなく、良好に多結晶性シリコン膜を得ることができる。

【0141】又、基板温度上昇の低減と結晶化促進のために、低級結晶性シリコン膜をアイランド化した後、又は保護用酸化シリコン膜で被覆された低級結晶性シリコン膜をアイランド化した後に、本発明のレーザーアニールしても、良好な多結晶性シリコン膜を得ることができる。

【0142】また、適当な条件で前記レーザーアニールを後述のゲートチャンネル/ソース/ドレイン領域形成後に行なうと、結晶化促進と同時にゲートチャンネル/ソース/ドレイン領域に注入されたn型又はp型キャリア不純物(燐、ひ素、ボロン等)が活性化されるので、生産性が良い場合がある。

【0143】そして次に、多結晶性シリコン膜7をソース、チャンネル及びドレイン領域とするMOS TFTの作製を行なう。

【0144】即ち、図2の(4)に示すように、汎用フォトリソグラフィ及びエッチング技術により保護及び反射低減用酸化シリコン膜を除去し、更に多結晶性シリコン膜7をアイランド化した後、nMOS TFT用のチャンネル領域の不純物濃度制御によるしきい値(V<sub>th</sub>)の最適化のために、pMOS TFT部をフォトレジスト9でマスクし、イオン注入又はイオンドーピングによりp型不純物イオン(例えばボロニイオン)10を例えば5 × 10<sup>11</sup> atoms/cm<sup>2</sup>のドーズ量でドーピングし、1 × 10<sup>17</sup> atoms/ccのアクセプタ濃度に設定し、多結晶シリコン膜7の導電型をp型化した多結晶性シリコン膜11とする。

【0145】次いで、図2の(5)に示すように、pMOS TFT用のチャンネル領域の不純物濃度制御によるしきい値(V<sub>th</sub>)の最適化のために、今度はnMOS TFT部をフォトレジスト12でマスクし、イオン注入又はイオンドーピングによってn型不純物イオン(譬如燐イオン)13を例えば1 × 10<sup>12</sup> atoms/cm<sup>2</sup>のドーズ量でドーピングし、2 × 10<sup>17</sup> atoms/ccのドナー濃度に設定し、多結晶性シリコン膜7の導電型をn型化した多結晶性シリコン膜14とする。

【0146】次いで、図3の(6)に示すように、触媒CVD等によりゲート絶縁膜の酸化シリコン膜8を50 nm厚に形成した後、ゲート電極材料としてのリンドード多結晶シリコン膜15を例えば2~20 SCCMのPH<sub>3</sub>及び20 SCCMのSiH<sub>4</sub>の供給下での上記と同様の触媒CVD法によって厚さ例えば400 nm厚に堆積させる。

【0147】次いで、図3の(7)に示すように、フォトレジスト16を所定パターンに形成し、これをマスク

にしてリンドープド多結晶シリコン膜15をゲート電極形状にパターニングし、更に、フォトレジスト16の除去後に図3の(8)に示すように、例えば触媒CVD等により酸化シリコン膜17を20nm厚に形成する。

【0148】次いで、図3の(9)に示すように、pMOSTFT部をフォトレジスト18でマスクし、イオン注入又はイオンドーピングによりn型不純物である例えば隕イオン19を例えば $1 \times 10^{15}$ atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $2 \times 10^{20}$ atoms/ccのドナー濃度に設定し、nMOSTFTのn<sup>+</sup>ソース領域20及びドレイン領域21をそれぞれ形成する。

【0149】次いで、図4の(10)に示すように、nMOSTFT部をフォトレジスト22でマスクし、イオン注入又はイオンドーピングによりp型不純物である例えばボロンイオン23を例えば $1 \times 10^{15}$ atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $2 \times 10^{20}$ atoms/ccのアクセプタ濃度に設定し、pMOSTFTのp<sup>+</sup>ソース領域24及びドレイン領域25をそれぞれ形成する。この後に、N<sub>2</sub>中、約900°Cで5分間程度のアニールにより、各領域にドーピングされた不純物イオンを活性化させ、各々を設定された不純物キャリア濃度に設定する。

【0150】こうしてゲート、ソース及びドレインを形成するが、これらは上記したプロセス以外の方法で形成することが可能である。

【0151】即ち、図1の(2)の工程後に、低級結晶性シリコン膜7AをpMOSTFTとnMOSTFT領域にアイランド化する。これは、汎用フォトリソグラフィ及びエッチング技術により、保護及び反射低減用酸化シリコン膜はフッ酸系エッティング液で除去し、アモルファスシリコン含有微結晶シリコン膜はCF<sub>4</sub>、SF<sub>6</sub>等のプラズマエッティングで選択的に除去し、有機溶剤等でフォトレジストを剥離洗浄する。次の本発明のレーザーアニール時のレーザービーム照射による急激な温度上昇でのシリコン溶融と冷却時のストレスで、形成されるべき多結晶性シリコン膜にひび割れが発生しやすいので、基板温度上昇を低減するためにもアイランド化は重要なポイントである。この本発明のレーザーアニール前のアイランド化は、熱放散を少なくしてシリコン溶融帶の冷却を遅らせて結晶成長を促進する狙いと、不要なシリコン溶融帶での基板温度上昇を低減するものである。

【0152】そして、上述と同様にして低級結晶性シリコン膜7Aに対して本発明のレーザーアニールを行った後、保護及び反射低減用酸化シリコン膜を除去し、上述と同様にフォトレジストマスクでpMOSTFT領域にイオン注入又はイオンドーピング法によりn型不純物、例えば隕イオンを $1 \times 10^{12}$ atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $2 \times 10^{17}$ atoms/ccのドナー濃度に設定し、nMOSTFT領域にp型不純物、例えばボロンイオンを $5 \times 10^{11}$ atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $1 \times 10^{17}$ atoms/ccのアクセプタ濃度に設定する。

ドーズ量でドーピングし、 $1 \times 10^{17}$ atoms/ccのアクセプタ濃度に設定し、各チャネル領域の不純物濃度を制御し、V<sub>th</sub>を最適化する。

【0153】そして、次に、汎用フォトリソグラフィ技術により、フォトレジストマスクで各ソース/ドレイン領域を形成する。nMOSTFTの場合、イオン注入又はイオンドーピング法によりn型不純物、例えばヒ素、隕イオンを $1 \times 10^{15}$ atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $2 \times 10^{20}$ atoms/ccのドナー濃度に設定し、pMOSTFTの場合、イオン注入又はイオンドーピング法によりp型不純物、例えばボロンイオンを $1 \times 10^{15}$ atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $2 \times 10^{20}$ atoms/ccのアクセプタ濃度に設定する。

【0154】しかる後、多結晶性シリコン膜中のn型又はp型不純物の活性化のために結晶化処理よりも低い照射エネルギーの本発明のレーザーアニール又はハロゲンランプ等の赤外線ランプのRTA(Rapid Thermal Anneal)により、例えば約1000°C、30秒程度の熱処理でゲートチャネル領域、ソース及びドレイン領域の不純物イオン活性化を行う。しかる後(或いは不純物活性化処理前に)、ゲート絶縁膜として酸化シリコン膜を形成するが、必要に応じて連続して窒化シリコン膜と酸化シリコン膜を形成する。即ち、触媒CVD法により、水素系キャリアガスとモノシランにHe希釈O<sub>2</sub>を適量比率で混合して酸化シリコン膜8を40~50nm厚に形成し、必要に応じて水素系キャリアガスとモノシランにNH<sub>3</sub>を適量比率で混合して窒化シリコン膜を10~20nm厚に形成し、更に前記の条件で酸化シリコン膜を40~50nm厚に積層形成する。

【0155】次いで、図4の(11)に示すように、全面に上記したと同様の触媒CVD法によって、水素系キャリアガス150SCCMを共通として、1~2SCCMのヘリウムガス希釈のO<sub>2</sub>、15~20SCCMのモノシラン供給下で酸化シリコン膜26を例えば50nm厚に、更に、1~20SCCMのPH<sub>3</sub>、1~2SCCMのヘリウム希釈のO<sub>2</sub>、15~20SCCMのモノシラン供給下でfosfinsilicateガラス(PSG)膜28を例えば400nm厚に形成し、50~60SCCMのNH<sub>3</sub>、15~20SCCMのモノシラン供給下で窒化シリコン膜27を例えば200nm厚に積層する。

【0156】次いで、図4の(12)に示すように、上記の積層絶縁膜の所定位置にコンタクト窓開けを行う。即ち、汎用フォトリソグラフィ及びエッチング技術によりnMOSTFT及びpMOSTFTのゲート、ソース、ドレイン電極窓開けをフォトレジストパターンで形成し、CF<sub>4</sub>、SF<sub>6</sub>等でパッシバーション用窒化シリコン膜をプラズマエッティングし、酸化シリコン膜及びPSG膜をフッ酸系エッティング液でエッティングし、有機溶剤

等でフォトレジストを洗浄除去して、nMOS TFT及びpMOS TFTのゲート、ソース、ドレイン領域を露出形成する。

【0157】次いで、各コンタクトホールを含む全面に1%Si入りアルミニウムなどの電極材料をスパッタ法等で150°Cで1μmの厚みに堆積し、これをパターニングして、pMOS TFT及びnMOS TFTのそれぞれのソース又はドレイン電極29(S又はD)とゲート取出し電極又は配線30(G)を形成し、トップゲート型のCMOS TFTを形成する。この後に、フォーミングガス中で400°C、1時間の水素化処理及びシンターコーナー処理をする。尚、触媒CVD法により、アルミニウム化合物ガス(例えばAlCl<sub>3</sub>)を供給し、アルミニウムを形成してもよい。

【0158】なお、上記のゲート電極の形成に代えて、全面にMo-Ta合金等の耐熱性金属のスパッタ膜を100~500nm厚に形成し、汎用フォトリソグラフィ及びエッチング技術により、nMOS TFT及びpMOS TFTのゲート電極を形成してよい。

【0159】なお、シリコン合金溶融液の液相成長法と本発明のレーザーアニールをトップゲート型多結晶シリコンCMOS TFTの製法例について説明すると、まず、上記の下地保護膜の形成後に、例えば下記のいずれかの方法で錫含有又は非含有のアモルファスシリコン含有微結晶シリコン層を(析出)成長させた後、その上の錫等の低融点金属膜を除去する。シリコンを含む錫等の低融点金属溶融液を塗布し、冷却させる。シリコンを含む錫等の低融点金属溶融液に浸漬し、引き上げて冷却させる。シリコンを含む錫等の低融点金属膜を加熱溶融し、冷却させる。シリコン膜の上に錫等の低融点金属膜を形成し、加熱溶融及び冷却させる。錫等の低融点金属膜の上にシリコン膜を形成し、加熱溶融及び冷却させる。

【0160】次いで、錫含有又は非含有のアモルファスシリコン含有微結晶シリコン層をアイランド化して、pMOS TFT部とnMOS TFT部に分割し、イオン注入又はイオンドーピング法によりチャンネル領域の不純物濃度を制御してV<sub>th</sub>を最適化する(条件は、上述したものに準ずる)。しかる後に、イオン注入又はイオンドーピング法によりpMOS TFT部とnMOS TFT部のソース、ドレインを形成する(条件は、上述したものに準ずる)。

【0161】次いで、本発明のレーザーアニールで結晶化促進とイオン活性化を行なう(条件は、上述したものに準ずる)。連続して触媒CVDによりゲート絶縁膜の酸化シリコン膜を形成するが、必要に応じて連続して窒化シリコン膜及び酸化シリコン膜を形成する(成膜条件は、上述したものに準ずる)。これ以降のプロセスは、上述したものと同様である。また、この液相成長法を用いる方法は、後述のボトムゲート型、デュアルゲート型

CMOS TFT等についても、同様に適用されてよい。

【0162】スパッタリング法による低級結晶性シリコン膜の本発明のレーザーアニールを用いたトップゲート型多結晶シリコンCMOS TFTの製法例について説明すると、まず、上記の下地保護膜をスパッタリングで形成する。即ち、絶縁性基板の全面に、窒化シリコンターゲットをアルゴンガス圧0.133~1.33Paの真空中でスパッタリングして、窒化シリコン膜を50~200nm厚に形成し、この窒化シリコン膜の全面に、酸化シリコンターゲットをアルゴンガス圧0.133~1.33Paの真空中でスパッタリングして、酸化シリコン膜を100~200nm厚に積層形成する。

【0163】次に、例えば錫を0.1~1at%含有する或いは非含有のシリコンターゲットを、アルゴンガス圧0.133~1.33Paの真空中でスパッタリングして、絶縁性基板の少なくともTFT形成領域に50nm厚の錫含有又は錫非含有のアモルファスシリコン膜を形成する。

【0164】次に、このアモルファスシリコン膜の全面に、酸化シリコンターゲットを、アルゴンガス圧0.133~1.33Paの真空中でスパッタリングして、酸化シリコン膜を10~30nm厚に形成する。

【0165】なお、共通のシリコンターゲットで、アルゴンガス+窒素ガス(5~10モル%)のスパッタリングで窒化シリコン膜を、アルゴンガス+酸素ガス(5~10モル%)のスパッタリングで酸化シリコン膜を、アルゴンガスのスパッタリングでアモルファスシリコン膜を、さらにアルゴンガス+酸素ガス(5~10モル%)のスパッタリングで酸化シリコン膜を連続積層形成してもよい。

【0166】次いで、形成した錫含有又は非含有のアモルファスシリコン膜をアイランド化し、pMOS TFT部とnMOS TFT部に分割する(条件は気相成長法の場合に準ずる)。しかる後に、イオン注入又はイオンドーピングによりゲートチャンネル、ソース、ドレイン領域を形成する(条件は気相成長法の場合に準ずる)。

【0167】次いで、錫含有又は非含有のアモルファスシリコン膜を前記レーザーアニールする。このレーザーアニールにより、多結晶シリコン膜化し、同時にイオン注入又はイオンドーピングしたn型又はp型不純物を活性化して、ゲートチャンネル、ソース、ドレイン領域の最適なキャリア不純物濃度を形成する。尚、上記と同様に、結晶化のレーザーアニールと、イオン活性化のRTA処理に分けて処理してもよいことは言うまでもない。

【0168】次いで、保護及び反射低減用の酸化シリコン膜を除去して、ゲート絶縁膜としての酸化シリコン膜を形成するが、必要に応じて連続して窒化シリコン膜及び酸化シリコン膜を形成する。即ち、触媒CVD法等により、酸化シリコン膜を40~50nm厚、窒化シリコ

ン膜を10～20nm厚、酸化シリコン膜を40～50nm厚に連続形成する（成膜条件は上述したものに準ずる）。

【0169】以降のプロセスは、上述したものと同様である。また、このスペッタリング膜を用いる方法は、後述のボトムゲート型、デュアルゲート型CMOSTFT等についても、同様に適用されてよい。

【0170】なお、上記の低級結晶性シリコン膜の形成と本発明のレーザーアニールを必要回数繰り返すことにより、高結晶性、高純度の単結晶シリコンに近い大粒径多結晶性シリコン厚膜を形成できるので、CCDエリア／リニアセンサ、バイポーラLSI、太陽電池等の厚膜に必要なデバイスに好適となる。つまり、1回目の本発明のレーザーアニールにより、例えば200～300nm厚の大粒径多結晶性シリコン薄膜を形成する。そして、その上に低級結晶性シリコン膜を200～300nm厚に積層する。そして、2回目の本発明のレーザーアニールにより、下地膜をシードとして例えば200～300nm厚の大粒径多結晶性シリコン薄膜を積層形成して、約400～600nm厚の大粒径多結晶性シリコン膜を形成する。こうした工程を必要回数繰り返すことにより、μm単位膜厚の大粒径多結晶性シリコン厚膜を積層形成できる。なお、この厚膜も本発明の「多結晶性シリコン薄膜」の概念に含まれる。

【0171】このような積層の場合、下地の大粒径多結晶性シリコン薄膜が次の本発明のレーザーアニール時の結晶核（シード）となり、より大きな粒径の多結晶性シリコン薄膜が次々と積層していくので、厚膜の表面に近くなる程、高結晶性、高純度の単結晶シリコンに近い大粒径多結晶性シリコン厚膜を形成できる。従って、MOSLSIのみならず、一般に厚膜の表面を能動及び受動素子領域とするCCDエリア／リニアセンサ、バイポーラLSI、太陽電池等の厚膜が必要なデバイスに好適となる。

【0172】〔1〕なお、上記したようにアイランド化後に本発明のレーザーアニールを行う場合、次の（1）～（4）の処理のいずれかを行なうのがよい。

（1）低温プロセス（A）では、酸化シリコン（以下、 $\text{SiO}_2$ ）／塗化シリコン（以下、 $\text{SiN}_x$ ）積層膜付き低級結晶性シリコン膜（以下、例えばアモルファスシリコン膜）をパターニングしてアイランド化する。本発明のレーザーアニールで多結晶性シリコン化した後に、 $\text{SiN}_x$ 膜のみを剥離し、 $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x$ 膜を積層し、ゲート絶縁膜の $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 積層膜を形成する。ここで低温プロセスとは、基板に、ほうけい酸ガラス、アルミノけい酸ガラス等の低歪点ガラスを使用することを意味する（以下、同様）。また、塗化シリコン膜は、プラズマCVD等の低温成膜で形成されるので、完全な $\text{Si}_3\text{N}_4$ ではなく、 $\text{SiN}_x$ と表示する（以下、同様）。

【0173】（2）低温プロセス（B）では、 $\text{SiO}_2$ （又は $\text{SiN}_x$ ）膜付きアモルファスシリコン膜をパターニングしてアイランド化する。本発明のレーザーアニールで多結晶性シリコン化した後に、 $\text{SiO}_2$ （又は $\text{SiN}_x$ ）膜を剥離し、ゲート絶縁膜の $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 積層膜を形成する。

【0174】（3）低温プロセス（C）では、アモルファスシリコン膜をパターニングしてアイランド化した後に、本発明のレーザーアニールを施し、かかる後にゲート絶縁膜の $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 積層膜を形成する。

【0175】（4）高温プロセス（A）では、アモルファスシリコン膜をパターニングしてアイランド化した後、本発明のレーザーアニールし、かかる後に高温（1000℃、30分）の熱酸化作用で多結晶性シリコン膜の表面を酸化させてゲート絶縁膜を形成する。ここで高温プロセスとは、石英ガラスを使用することを意味する（以下、同様）。

【0176】〔II〕また、アイランド化前の本発明のレーザーアニールの場合は、次の（1）～（4）の処理のいずれかを行なうのがよい。

（1）低温プロセス（D）では、 $\text{SiO}_2/\text{SiN}_x$ 積層膜付きアモルファスシリコン膜を本発明のレーザーアニール後にパターニングしてアイランド化する。その後に、 $\text{SiN}_x$ 膜のみを剥離し、 $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x$ 膜を積層し、ゲート絶縁膜の $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 積層膜を形成する。

【0177】（2）低温プロセス（E）では、 $\text{SiO}_2$ （又は $\text{SiN}_x$ ）膜付きアモルファスシリコン膜を本発明のレーザーアニールした後に、パターニングしてアイランド化する。その後に、 $\text{SiO}_2$ （又は $\text{SiN}_x$ ）膜を剥離し、 $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 膜を積層し、それぞれをゲート絶縁膜とする。

【0178】（3）低温プロセス（F）では、アモルファスシリコン膜を本発明のレーザーアニールした後に、パターニングしてアイランド化する。その後に、 $\text{SiO}_2$ 又は $\text{SiO}_2/\text{SiN}_x/\text{SiO}_2$ 膜を積層して、それをゲート絶縁膜とする。

【0179】（4）高温プロセス（B）では、アモルファスシリコン膜を本発明のレーザーアニールした後に、パターニングしてアイランド化し、高温（1000℃、30分）の熱酸化作用で多結晶性シリコン膜を熱酸化させてゲート絶縁膜を形成する（石英ガラス使用）。

【0180】上記の〔I〕、〔II〕ともに、低温プロセス用 $\text{SiO}_2$ は触媒CVD、プラズマCVD、TEOS系プラズマCVD等で形成し、 $\text{SiN}_x$ は触媒CVD、プラズマCVD等で形成する。高温プロセスは、上記のように高温熱酸化で多結晶性シリコンを熱酸化させて良質の $\text{SiO}_2$ 膜を形成する。従って、多結晶性シリコン膜厚は厚めに形成しておく必要がある。

【0181】上述したように、本実施の形態によれば、下記(a)～(1)の優れた作用効果を得ることができる。

【0182】(a) 非線形光学効果により光高調波発生された高出力のUV又は/及びDUVレーザービームを照射して、アモルファスシリコン膜等の低級結晶性半導体薄膜を溶融又は半溶融状態に加熱し或いは非溶融状態で加熱し、冷却させて結晶化する、いわゆる光高調波変調UV又は/及びDUVレーザーアニールにより、高い照射エネルギーを低級結晶性半導体薄膜に与え、これを溶融又は半溶融状態に加熱し或いは非溶融状態で加熱し、冷却することにより、大粒径の高キャリア移動度、高品質の多結晶性シリコン膜等の多結晶性又は単結晶性半導体薄膜が得られ、生産性が大幅に向上升し、大幅なコストダウンが可能となる。

【0183】(b) 本発明のレーザーアニールは、上記加熱帯を移動させながら行う、いわゆる帶精製法により、結晶化助長のために予め添加され、その役割を終えたN<sub>i</sub>等の触媒元素やその他の不純物元素が高温の溶融帯に偏析するので、容易に除去でき、膜中に残存することがないため、大粒径での高キャリア移動度、高品質の多結晶半導体薄膜が得られやすい。さらに、このときに、複数の本発明のレーザービーム照射により連続して溶融帯と冷却部を繰り返す、いわゆる多重帶精製法により、さらなる大粒径、高品質の多結晶性半導体薄膜が得られる。この高純度化により、半導体特性が損なわれることがなくなり、作製する素子の安定性、信頼性が向上する。そして、光高調波変調UV又は/及びDUVレーザーアニールでの帶精製法又は多重帶精製法という簡単なプロセスにより、結晶化助長の役割が終わった触媒元素やその他の元素が効率良く除去されるので、工数削減によるコストダウンが可能となる。

【0184】(c) レーザースキャニング方向に多結晶性シリコン等の結晶粒が揃うので、この方向にTFTを形成することにより、結晶粒界の不整及び膜ストレスが低減し、高キャリア移動度の多結晶性シリコン膜等を形成できる。

【0185】(d) 光高調波変調UV又は/及びDUVレーザーアニールの帶精製法又は多重帶精製法により結晶化させた多結晶性シリコン等の膜上に低級結晶性シリコン等の膜を積層し、再度このレーザーアニールで結晶化する方法を繰り返すことにより、μm単位の厚みで大粒径での高キャリア移動度、高品質の多結晶性シリコン膜等を積層形成できる。これにより、MOSLSIのみならず、高性能、高品質のバイポーラLSI、CMOSセンサ、CCDエリア/リニアセンサ、太陽電池等も形成できる。

【0186】(e) 光高調波変調UV又は/及びDUVレーザーは、その波長、照射強度及び照射時間等の制御、更には線状、長方形状又は正方形状に集光整形し

て、レーザービーム径及びレーザースキャニングピッチなどを自由に設定でき、照射強度、つまり溶融効率及びスループット向上でのコストダウンが図れる。しかも、①固定した基板にレーザー光をガルバノメータスキャニングさせること、②固定したレーザー光に対して基板を高精度ステッピングモータでステップ&リピート移動させる等の加熱溶融及び冷却方法により、更には複数のレーザーで同期してスキャニングすることにより、大面積（例えば1m×1m）も短時間でアニールすることができ、任意の結晶粒及び純度の多結晶性シリコン膜等が大面積に得られるので、生産性が高く、コストダウンが可能となる。

【0187】(f) 紫外線領域を満足する光源には、He-Cd（ヘリウムーカドミウム）レーザー、Ar（アルゴン）レーザー、エキシマレーザー（弗化アルゴン（ArF）、弗化クリプトン（KrF）、塩化キセノン（XeCl）、弗化キセノン（XeF）等）等があるが、いずれもガス放電により発振される紫外線領域の短い波長を持つレーザー装置である。特にエキシマレーザー装置は、原料ガスとして極めて反応性が高い危険なハロゲンガスを使用し、保守整備、ハンドリング等に問題があり、また原料ガスの交換頻度が高く、ランニングコスト、作業効率上の問題もあり、装置が大型で消費電力が大きく高価であった。これに対して、非線形光学結晶で光高調波発生させたUV又は/及びDUVレーザーは、例えば高出力の半導体レーザー励起YAG（Nd:YAG；ネオジウム添加のイットリウム・アルミニウム・ガーネット）レーザーを基本波としているので、安全で保守整備が容易であり、安定した高出力を示し、小型で低消費電力であって安価なレーザー装置が実現する。例えばNd:YAG等の半導体励起固体レーザーを非線形光学結晶で光高調波変調して発生した355nmレーザービームを用いたアニール装置は、現行主流の塩化キセノン（XeCl：波長308nm）エキシマレーザーアニール装置のエキシマレーザー発振器に比べて、はるかに安価であるため、大幅なコストダウンができる。

【0188】(g) こうしたXeCl、KrF等のエキシマレーザーアニール処理はnsecオーダーのパルス発振型レーザーを用いるので、その出力の安定性に課題があり、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFTごとの素子特性のばらつきが見られる。そこで、400°C程度の温度を付与しつつエキシマレーザーパルスを例えば5回、30回などの多数回照射する方法が採られているが、それでも、照射ばらつきによる結晶化半導体膜及びTFT素子特性のばらつき、スループット低下での生産性低下によるコストアップがある。これに対して光高調波波長UV又は/及びDUVレーザーアニールでは、例えばアモルファスシリコン膜の光吸収効率の高い200~400nm波長を任意に選出し、高出力単一波長のレーザービーム照

射が可能であるので、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFTごとの素子特性のばらつきが少なく、高いスループットでの高生産性によるコストダウンが可能である。

【0189】(h) 本発明に用いる光高調波変調UV又は／及びDUVレーザーは、基本波と非線形光学結晶の選択及び組み合わせにより、波長、照射強度等の制御が容易で、例えばアモルファスシリコン膜の光吸収効率の高い200～400nm波長を任意に選出し、高出力単一波長のレーザービーム照射が可能となる。使用可能な光高調波変調レーザーには、300～400nmの近紫外線(UV)と、200～300nmの遠紫外線(DUV)がある。この時に、半導体固体レーザーのみならず、ガス放電により発振されるレーザーを基本波として、光高調波変調でUV又は／及びDUVレーザーを発生させてもよい。例えば、近紫外線レーザーには、Nd : YAG (波長1064nm) の1/3高調波の355nm、He-Ne (波長632.8nm) の1/2高調波の316.4nm、He-Ne (波長1.15μm) の1/3高調波の383.3nm、ルビー (波長694.3nm) の1/2高調波の347.2nmなどがあり、遠紫外線レーザーには、Ar (波長514.5nm、488nm) の1/2高調波の257.8nm、244nm、Kr (波長520.8nm、476.2nm) の1/2高調波の260.4nm、238.1nm、He-Cd (波長441.6nm) の1/2高調波の220.8nmなどがある。

【0190】(i) 更に、照射レーザー光を線状、長方形または正方形などに自由に集光整形してレーザービーム照射できるので、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFTごとの素子特性のばらつきが少なく、高いスループットでの高生産性によるコストダウンが実現する。

【0191】(j) 例えば、第3高調波発生の波長355nmのUVレーザービームで低級結晶性半導体薄膜を溶融及び冷却させて結晶化させると同時に、同時に波長1064nmの基本波の赤外光線レーザービーム、又は第2高調波の波長532nmの可視光線レーザービーム、又はその赤外光線レーザービーム及び可視光線レーザービームの混合レーザーを照射して、低級結晶性半導体薄膜及びガラス基板を加熱できるので、半導体膜や基板が十分に加熱するために、結晶化を確実に行なうことが容易である。又、基本波や第2高調波を捨てずにこれらを効率良く使用できるので、抵抗加熱又はハロゲンランプ等による基板加熱電力を低減でき、全体として消費電力を低減できる。

【0192】(k) 光高調波変調UV又は／及びDUVレーザーアニールでは低温(200～400°C)で適用できるので、安価であって大型化が容易な低歪点ガラスや耐熱性樹脂を採用でき、軽量化とコストダウンを図れ

る。

【0193】(l) トップゲート型のみならず、ボトムゲート型、デュアルゲート型MOSFETでも、高いキャリア移動度の多結晶性半導体膜又は単結晶性半導体膜等が得られるために、この高性能の半導体膜を使用した高速、高電流密度の半導体装置、電気光学装置、更には高効率の太陽電池等の製法が可能となる。例えば、シリコン半導体装置、シリコン半導体集積回路装置、フィルドエミッショナディスプレイ(FED)装置、シリコングルマニウム半導体装置、シリコングルマニウム半導体集積回路装置、液晶表示装置、エレクトロルミネセンス(有機／無機)表示装置、発光ポリマー表示装置、発光ダイオード表示装置、光センサー装置、CCDエリア／リニアセンサ装置、CMOSセンサ装置、太陽電池装置等である。

#### 【0194】第2の実施の形態

<LCDの製造例1> 本実施の形態は、高温プロセスによる多結晶性シリコンMOSFETを用いたLCD(液晶表示装置)に本発明を適用したものであり、以下その製造例を示す。

【0195】まず、図19の(1)に示すように、画素部及び周辺回路部において、石英ガラス、結晶化ガラスなどの耐熱性絶縁基板61(歪点約800～1100°C、厚さ50ミクロン～数mm)の一主面に、上述した触媒CVD法等によって、下地保護膜100(ここでは図示省略：以下、同様)を形成後に、この上に上記の触媒CVD等により低級結晶性シリコン膜67Aを形成する。更に、必要に応じて保護及び反射低減用酸化シリコン膜を10～30nm厚に形成する。

【0196】次いで、図19の(2)に示すように、低級結晶性シリコン膜67Aに上述のレーザーアニールを施し、50nm厚の多結晶性シリコン膜67を形成する。

【0197】次いで、図19の(3)に示すように、保護及び反射低減用酸化シリコン膜を除去した後に、汎用フォトリソグラフィ及びエッチング技術により多結晶性シリコン膜67をパターニング(アイランド化)し、トランジスタ、ダイオード等の能動素子、抵抗、容量、インダクタンス等の受動素子の活性層を形成する。尚、以降のプロセスは、TFT作製について述べるが、他の素子の作製も同様であることは言うまでもない。

【0198】次いで、多結晶性シリコン膜67の各チャネル領域の不純物濃度制御によるV<sub>t</sub>の最適化のために前記と同様のボロン又は燐等の所定の不純物のイオン注入又はイオンドーピングを行なった後、図19の

(4)に示すように、例えば上記と同様の触媒CVD法等によって多結晶性シリコン膜67の表面に厚さ例えば50nm厚のゲート絶縁膜用の酸化シリコン膜68を形成する。触媒CVD法等でゲート絶縁膜用の酸化シリコン膜68を形成する場合、基板温度及び触媒体温度は上

記したものと同様であるが、He 希釈 O<sub>2</sub> 流量は 1~2 SCCM、モノシランガス流量は 1.5~2.0 SCCM、水素系キャリアガスは 1.50 SCCM としてよい。

【0199】次いで、図 20 の (5) に示すように、ゲート電極及びゲートライン材料として、例えば Mo-Ta 合金をスパッタリングで厚さ例えば 400 nm 厚に堆積させるか、或いは、リンドープド多結晶シリコン膜を例えれば水素系キャリアガス 1.50 SCCM、2~2.0 SCCM の PH<sub>3</sub> 及び 2.0 SCCM のモノシランガスの供給下での上記と同様の触媒 CVD 法等によって厚さ例えば 400 nm 厚に堆積させる。そして、汎用フォトリソグラフィ及びエッチング技術により、ゲート電極材料層をゲート電極 7.5 及びゲートラインの形状にパターニングする。なお、リンドープド多結晶シリコン膜の場合は、フォトレジストマスクの除去後に、例えば 900°C で 60 分間、O<sub>2</sub> 中での酸化処理でリンドープド多結晶シリコン膜 7.5 の表面に酸化シリコン膜を形成する。

【0200】次いで、図 20 の (6) に示すように、p MOSTFT 部をフォトレジスト 7.8 でマスクし、イオン注入又はイオンドーピング法により n 型不純物である例えればヒ素（又は燐）イオン 7.9 を例えば  $1 \times 10^{15}$  atoms/cm<sup>2</sup> のドーズ量でドーピングし、 $2 \times 10^{20}$  atoms/cm<sup>2</sup> のドナー濃度に設定し、n MOSTFT の n 型ソース領域 8.0 及びドレイン領域 8.1 をそれぞれ形成する。

【0201】次いで、図 20 の (7) に示すように、n MOSTFT 部をフォトレジスト 8.2 でマスクし、イオン注入又はイオンドーピング法により p 型不純物である例えればボロンイオン 8.3 を例えば  $1 \times 10^{16}$  atoms/cm<sup>2</sup> のドーズ量でドーピングし、 $2 \times 10^{20}$  atoms/cm<sup>2</sup> のアクセプタ濃度に設定し、p MOSTFT の p 型ソース領域 8.4 及びドレイン領域 8.5 をそれぞれ形成する。その後に、N<sub>2</sub> 中、約 900°C で 5 分間程度のアニールにより、各領域にドーピングされた不純物イオンを活性化させ、各々設定された不純物キャリア濃度に設定する。

【0202】次いで、図 20 の (8) に示すように、全面に上記したと同様の触媒 CVD 法等によって、水素系キャリアガス 1.50 SCCM を共通として、1~2 SCCM の He 希釈 O<sub>2</sub>、1.5~2.0 SCCM のモノシラン供給下で酸化シリコン膜を例えれば 50 nm 厚に、更に、1~2.0 SCCM の PH<sub>3</sub>、1~2 SCCM の He 希釈 O<sub>2</sub>、1.5~2.0 SCCM のモノシラン供給下でフォスフィンシリケートガラス (PSG) 膜を例えれば 400 nm 厚に形成し、5.0~6.0 SCCM の NH<sub>3</sub>、1.5~2.0 SCCM のモノシラン供給下で窒化シリコン膜を例えれば 200 nm 厚に積層し、これらの絶縁膜の積層によって層間絶縁膜 8.6 を形成する。なお、このような層間絶縁膜は、上記とは別の通常の方法、例えればプラズマ CVD 等で形成してもよい。

【0203】次いで、図 21 の (9) に示すように、上記の絶縁膜 8.6 の所定位置にコンタクト窓開けを行い、各コンタクトホールを含む全面にアルミニウムなどの電極材料をスパッタ法等で 1 μm の厚みに堆積し、これをパターニングして、画素部の n MOSTFT のソース電極 8.7 及びデータライン、周辺回路部の p MOSTFT 及び n MOSTFT のソース電極 8.8、9.0 とドレイン電極 8.9、9.1 及び配線をそれぞれ形成する。尚、この時に、触媒 CVD 法によりアルミニウムを形成してもよい。

【0204】次いで、表面上に酸化シリコン膜等の層間絶縁膜 9.2 を CVD 法等で形成した後、フォーミングガス中で 400°C、30 分の水素化及びシンター処理する。そして、図 21 の (10) に示すように、画素部の n MOSTFT のドレイン領域において層間絶縁膜 9.2 及び 8.6 にコンタクトホールを開け、例えば ITO (Indium Tin Oxide : インジウム酸化物にスズをドープした透明電極材料) を真空蒸着法等で全面に堆積させ、パターニングして画素部の n MOSTFT のドレイン領域 8.1 に接続された透明画素電極 9.3 を形成する。その後に、熱処理（フォーミングガス中で 200~250°C、1 時間）により、コンタクト抵抗の低減化と ITO 透明度の向上を図る。

【0205】こうしてアクティブマトリクス基板（以降、TFT 基板と称する。）を作製し、透過型 LCD を作製することができる。この透過型 LCD は、図 21 の (11) に示すように、画素電極 9.3 上に配向膜 9.4、液晶 9.5、配向膜 9.6、透明電極 9.7、対向基板 9.8 が積層された構造からなっている。

【0206】なお、上記した工程は、反射型の LCD の製造にも同様に適用可能である。図 26 (A) には、この反射型の LCD の一例が示されているが、図中の 1.0.1 は粗面化された絶縁膜 9.2 上に被着された反射膜であり、MOSTFT のドレインと接続されている。

【0207】この LCD の液晶セルを面面組立で作製する場合（2 インチサイズ以上の中／大型液晶パネルに適している。）、まず TFT 基板 6.1 と、全面ベタの ITO (Indium Tin Oxide) 電極 9.7 を設けた対向基板 9.8 の素子形成面に、ポリイミド配向膜 9.4、9.6 を形成する。このポリイミド配向膜はロールコート、スピンドル等により 5.0~10.0 nm 厚に形成し、180°C/2 h で硬化キュアする。

【0208】次いで、TFT 基板 6.1 と対向基板 9.8 をラビング、又は光配向処理する。ラビングバフ材にはコットンやレーヨン等があるが、バフカス（ゴミ）やリターデーション等の面からはコットンの方が安定している。光配向は非接触の線型偏光紫外線照射による液晶分子の配向技術である。なお、配向には、ラビング以外にも、偏光又は非偏光を斜め入射させることによって高分子配向膜を形成することができる（このような高分子化合物

は、例えばアゾベンゼンを有するポリメチルメタクリレート系高分子等がある)。

【0209】次いで、洗浄後に、TFT基板61側にはコモン剤塗布、対向基板98側にはシール剤塗布する。ラビングバフかす除去のために、水、又はIPA(イソプロピルアルコール)洗浄する。コモン剤は導電性フィラーを含有したアクリル、又はエポキシアクリレート、又はエポキシ系接着剤であってよく、シール剤はアクリル、又はエポキシアクリレート、又はエポキシ系接着剤であってよい。加熱硬化、紫外線照射硬化、紫外線照射硬化+加熱硬化のいずれも使用できるが、重ね合せの精度と作業性から紫外線照射硬化+加熱硬化タイプが良い。

【0210】次いで、対向基板98側に所定のギャップを得るためのスペーサを散布し、TFT基板61と所定の位置で重ね合せる。対向基板98側のアライメントマークとTFT基板61側のアライメントマークとを精度よく合わせた後に、紫外線照射してシール剤を仮硬化させ、その後に一括して加熱硬化する。

【0211】次いで、スクライプブレークして、TFT基板61と対向基板98を重ね合せた単個の液晶パネルを作成する。

【0212】次いで、液晶95を両基板61-98間にギャップ内に注入し、注入口を紫外線接着剤で封止後に、IPA洗浄する。液晶の種類は何れでも良いが、例えばネマティック液晶を用いる高速応答のTN(ツイストネマティック)モードが一般的である。

【0213】次いで、加熱急冷処理して、液晶95を配向させる。

【0214】次いで、TFT基板61のパネル電極取り出し部にフレキシブル配線を異方性導電膜の熱圧着で接続し、更に対向基板98に偏光板を貼合わせる。

【0215】また、液晶パネルの面単組立の場合(2インチサイズ以下の小型液晶パネルに適している。)、上記と同様、TFT基板61と対向基板98の素子形成面に、ポリイミド配向膜94、96を形成し、両基板をラビング、又は非接触の線型偏光紫外線光の配向処理する。

【0216】次いで、TFT基板61と対向基板98をダイシング又はスクライプブレークで単個に分割し、水又はIPA洗浄する。TFT基板61にはコモン剤塗布、対向基板98にはスペーサ含有のシール剤塗布し、両基板を重ね合せる。これ以降のプロセスは上記に準ずる。

【0217】上記したLCDにおいて、対向基板98はCF(カラーフィルタ)基板であって、カラーフィルタ層(図示せず)をITO電極97下に設けたものである。対向基板98側からの入射光は例えば反射膜93で効率良く反射されて対向基板98側から出射してよい。

【0218】他方、TFT基板61として、TFT基板

61にカラーフィルタを設けたオンチップカラーフィルタ(OCCF)構造のTFT基板とするときには、対向基板98にはITO電極がベタ付け(又はブラックマスク付きのITO電極がベタ付け)される。

【0219】透過型LCDの場合、次のようにしてオンチップカラーフィルタ(OCCF)構造とオンチップブラック(OCB)構造を作製することができる。

【0220】即ち、図21の(12)に示すように、フォスフィンシリケートガラス/酸化シリコンの絶縁膜86のドレイン部も窓開けしてドレイン電極用のアルミニウム埋込み層を形成した後、R、G、Bの各色を各セグメント毎に顔料分散したフォトレジスト99を所定厚さ(1~1.5μm)で形成した後、汎用フォトリソグラフィ技術で所定位置(各画素部)のみを残すパターニングで各カラーフィルタ層99(R)、99(G)、99(B)を形成する(オンチップカラーフィルタ構造)。この際、ドレイン部の窓開けも行う。なお、不透明なセラミック基板や低透過率のガラス及び耐熱性樹脂基板は使用できない。

【0221】次いで、表示用MOS TFTのドレインに連通するコンタクトホールに、カラーフィルタ層上にかけてブラックマスク層となる遮光層100'を金属のパターニングで形成する。例えば、スパッタ法により、モリブデンを200~250nm厚で成膜し、表示用MOS TFTを覆って遮光する所定の形状にパターニングする(オンチップブラック構造)。

【0222】次いで、透明樹脂の平坦化膜92を形成し、更にこの平坦化膜に設けたスルーホールにITO透明電極93を遮光層100'に接続するように形成する。

【0223】このように、表示アレイ部上に、カラーフィルタ99やブラックマスク100'を作り込むことにより、液晶表示パネルの開口率を改善し、またバックライトも含めたディスプレイモジュールの低消費電力化が実現する。

【0224】図22は、上述のトップゲート型MOS TFTを組み込んで駆動回路一体型に構成したアクティブマトリクス液晶表示装置(LCD)の全体を概略的に示すものである。このアクティブマトリクスLCDは、主基板61(これはアクティブマトリクス基板を構成する。)と対向基板98とをスペーサ(図示せず)を介して貼り合わせたフラットパネル構造からなり、両基板61-98間に液晶(ここでは図示せず)が封入されている。主基板61の表面には、マトリクス状に配列した画素電極93と、この画素電極を駆動するスイッチング素子とからなる表示部、及びこの表示部に接続される周辺駆動回路、映像信号処理回路、メモリー等の周辺回路とが設けられている。

【0225】表示部のスイッチング素子は、上記したnMOS又はpMOS又はCMOSでLDD構造のトップ

ゲート型MOS TFTで構成される。また、周辺駆動回路部にも、回路要素として、上記したトップゲート型MOS TFTのCMOS又はnMOS又はpMOS TFT又はこれらの混在が形成されている。なお、一方の周辺駆動回路部はデータ信号を供給して各画素のMOS TFTを水平ライン毎に駆動する水平駆動回路であり、また他方の周辺駆動回路部は各画素のMOS TFTのゲートを走査ライン毎に駆動する垂直駆動回路であり、通常は表示部の両辺にそれぞれ設けられる。これらの駆動回路は、点順次アナログ方式、線順次デジタル方式のいずれも構成できる。

【0226】図23に示すように、直交するゲートバスラインとデータバスラインの交差部に上記のMOS TFTが配置され、このMOS TFTを介して液晶容量( $C_L$ )に画像情報を書き込み、次の情報がくるまで電荷を保持する。この場合、MOS TFTのチャンネル抵抗だけで保持させるには十分ではないので、それを補うため液晶容量と並列に蓄積容量(補助容量)( $C_s$ )を付加し、リーク電流による液晶電圧の低下を補ってよい。こうしたLCD用MOS TFTでは、画素部(表示部)に使用するMOS TFTの特性と周辺駆動回路に使用するMOS TFTの特性とでは要求性能が異なり、特に画素部のMOS TFTではオフ電流の制御、オン電流の確保が重要な問題となる。このため、表示部には、後述の如きLDD構造のMOS TFTを設けることによって、ゲートードレイン間に電界がかかりにくい構造としてチャンネル領域にかかる実効的な電界を低減させ、オフ電流を低減し、特性の変化も小さくできる。しかし、プロセス的には複雑になり、素子サイズも大きくなり、かつオン電流が低下するなどの問題も発生するため、それぞれの使用目的に合わせた最適設計が必要である。

【0227】なお、使用可能な液晶としては、TN液晶(アクティブラチクス駆動のTNモード用に用いられるネマチック液晶)をはじめ、STN(スーパーツイステッドネマチック)、GH(ゲスト・ホスト)、PC(フェーズ・チェンジ)、FLC(強誘電性液晶)、AFLC(反強誘電性液晶)、PDLC(ポリマー分散型液晶)等の各種モード用の液晶を採用してよい。

【0228】<LCDの製造例2>次に、本実施の形態による低温プロセスの多結晶性シリコンMOS TFTを用いたLCD(液晶表示装置)の製造例を示す(この製造例は後述する有機ELやFEDの表示部等にも同様に適用可能である)。

【0229】この製造例では、上述の製造例1において、基板61として低歪点ガラスのアルミニノケイ酸ガラス、ホウケイ酸ガラス等を使用し、図19の(1)及び(2)の工程を同様に行う。即ち、基板61上に触媒CVDと本発明のレーザーアニールにより多結晶性シリコン膜67を形成してこれをアイランド化し、表示領域のnMOS TFT部と周辺駆動回路領域のnMOS TFT

部及びpMOS TFT部を形成する。この場合、同時に、ダイオード、コンデンサ、インダクタンス、抵抗等の領域を形成する。上記と同様に、以降のプロセスの説明はMOS TFTについてのものであるが、他の素子のプロセスも同様に処理できることは言うまでもない。

【0230】次いで、図24の(1)に示すように、各MOS TFTゲートチャンネル領域のキャリア不純物濃度を制御して $V_{th}$ を最適化するために、表示領域のnMOS TFT部と周辺駆動回路領域のnMOS TFT部をフォトレジスト82でカバーし、周辺駆動回路領域のpMOS TFT部に、イオン注入又はイオンドーピング法により例えば磷、ひ素等のn型不純物79を $1 \times 10^{12}$ atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $2 \times 10^{17}$ atoms/ccのドナー濃度に設定し、更に図24の(2)に示すように、周辺駆動回路領域のpMOS TFT部をフォトレジスト82でカバーし、表示領域のnMOS TFT部と周辺駆動回路領域のnMOS TFT部に、イオン注入又はイオンドーピング法により例えばボロン等のp型不純物83を $5 \times 10^{11}$ atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $1 \times 10^{17}$ atoms/ccのアクセプタ濃度を設定する。

【0231】次いで、図24の(3)に示すように、スイッチング特性向上の目的で表示領域のnMOS TFT部にn型のLDD(Lightly Doped Drain)部を形成するため、汎用フォトリソグラフィ技術により、表示領域のnMOS TFTのゲート部と周辺駆動領域のpMOS TFT及びnMOS TFT全部をフォトレジスト82で覆い、露出した表示領域のnMOS TFTのソース/ドレイン領域に、イオン注入又はイオンドーピング法により例えば磷等のn型不純物79を $1 \times 10^{13}$ atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $2 \times 10^{18}$ atoms/ccのドナー濃度に設定して、n型のLDD部を形成する。

【0232】次いで、図25の(4)に示すように、表示領域のnMOS TFT部及び周辺駆動回路領域のnMOS TFT部の全部をフォトレジスト82でカバーし、周辺駆動回路領域のpMOS TFT部のゲート部をフォトレジスト82でカバーして露出したソース、ドレイン領域に、イオン注入又はイオンドーピング法により例えばボロン等のp型不純物83を $1 \times 10^{15}$ atoms/cm<sup>2</sup>のドーズ量でドーピングし、 $2 \times 10^{20}$ atoms/ccのアクセプタ濃度に設定してp型のソース部84、ドレイン部85を形成する。

【0233】次いで、図25の(5)に示すように、周辺駆動回路領域のpMOS TFT部をフォトレジスト82でカバーし、表示領域のnMOS TFTのゲート及びLDD部と周辺駆動回路領域のnMOS TFT部のゲート部をフォトレジスト82でカバーし、露出した表示領域及び周辺駆動領域のnMOS TFTのソース、ドレイン領域に、イオン注入又はイオンドーピング法により例

えば燐、ひ素等のn型不純物79を $1 \times 10^{15}$  atom<sup>2</sup>/cm<sup>2</sup>のドーズ量でイオンドーピングし、 $2 \times 10^{20}$  atoms/cm<sup>3</sup>のドナー濃度に設定し、n型のソース部80、ドレイン部81を形成する。

【0234】次いで、図25の(6)に示すように、プラズマCVD、TEOS系プラズマCVD、触媒CVD法等により、ゲート絶縁膜68として、酸化シリコン膜を40～50nm厚に、窒化シリコン膜を10～20nm厚に、酸化シリコン膜を40～50nm厚に形成し、これらの積層膜を形成する。そして、ハロゲンランプ等でのRTA処理を例えれば、約1000℃、10～20秒行い、添加したn又はp型不純物を活性化することにより、設定した各々のキャリア不純物濃度を得る。

【0235】この後に、全面に400～500nm厚の1%Si入りアルミニウムスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、全MOS TFTのゲート電極75及びゲートラインを形成する。更にこの後に、プラズマCVD、触媒CVD法等により、酸化シリコン膜を100～200nm厚に、フォスフィンシリケートガラス膜(PSG)膜を200～300nm厚に、窒化シリコン膜を50～200nm厚に積層し、これらの積層膜からなる絶縁膜86を形成する。

【0236】次いで、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全MOS TFT部のソース/ドレイン部及び表示用nMOS TFT部のソース部の窓開けを行う。窒化シリコン膜はCF<sub>4</sub>等のプラズマエッチング、酸化シリコン膜及びフォスフィンシリケートガラス膜はフッ酸系エッチング液等でエッチング処理する。

【0237】次いで、図25の(7)に示すように、全面に400～500nm厚の1%Si入りアルミニウムスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全MOS TFTのソース、ドレイン電極88、89、90、91を形成すると同時に、表示用nMOS TFTのソース電極87及びデータラインを形成する。

【0238】次いで、図示は省略したが、プラズマCVD、触媒CVD法等により、酸化シリコン膜を100～200nm厚に、フォスフィンシリケートガラス PSG)膜を200～300nm厚に、窒化シリコン膜を100～300nm厚にそれぞれ全面に形成し、フォーミングガス中で約400℃、1時間の水素化及びシンター処理を行う。その後に、表示用nMOS TFTのドレイン部コンタクト用窓開けを行う。

【0239】上記において、プラズマCVD法でパッシベーション用水素多含有窒化シリコン膜(500～600nm厚)を積層形成する場合、窒素又はフォーミングガス中の420℃、約30分の水素化処理により、パッシベーション用窒化シリコン膜中の水素拡散による界面特性の改善、多結晶性シリコン膜の未結合終端での結晶

性改善などによるキャリア移動度の向上を図ることができる。なお、窒化シリコン膜は水素を閉じ込めるので、水素化処理の効果を高めるには、本実施の形態のように多結晶性シリコン膜を窒化シリコン膜で挟む構造、つまりガラス基板/Naイオン阻止及び保護用窒化シリコン膜+酸化シリコン膜+多結晶性シリコン膜/ゲート絶縁膜(酸化シリコン膜等)/ゲート電極/酸化シリコン膜及びパッシベーション用窒化シリコン膜とするのが好ましい(これは他の例でも同様)。このときに、この水素化処理により、同時に1%Si入りアルミニウム合金膜とソース/ドレイン領域のシリコンのシンター処理を行い、オーミックコンタクトを得る。

【0240】なお、LCDが透過型の場合は、画素開口部の酸化シリコン膜、フォスフィンシリケートガラス PSG)膜及び窒化シリコン膜は除去し、また反射型の場合は、画素開口部等の酸化シリコン膜、フォスフィンシリケートガラス PSG)膜及び窒化シリコン膜は除去する必要はない(これは上述又は後述のLCDにおいても同様である)。

【0241】透過型の場合、図21の(10)と同様に、全面に、スピニコート等で2～3μm厚のアクリル系透明樹脂平坦化膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、表示用MOS TFTのドレイン側の透明樹脂窓開けを形成した後、全面に130～150nm厚のITOスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、表示用nMOS TFTのドレイン部とコンタクトしたITO透明電極を形成する。更に熱処理(フォーミングガス中で200～250℃、1時間)により、コンタクト抵抗の低減化とITO透明度向上を図る。

【0242】反射型の場合は、全面に、スピニコート等で2～3μm厚の感光性樹脂膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、少なくとも画素部に凹凸形状パターンを形成し、リフローさせて凹凸反射下部を形成する。同時に、表示用nMOS TFTのドレイン部の感光性樹脂窓開けを形成する。しかる後、全面に、300～400nm厚の1%Si入りアルミニウムスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、画素部以外のアルミニウム膜を除去し、表示用nMOS TFTのドレイン電極と接続した凹凸形状のアルミニウム反射部を形成する。その後に、フォーミングガス中で300℃、1時間シンター処理する。

【0243】なお、上記において、MOS TFTのゲートチャンネル、ソース、ドレイン領域を形成した後に、本発明のレーザーアニールを行えば、低級結晶性シリコン膜の膜温度を局部的に上昇させ、結晶化が促進され、高移動度及び高品質の多結晶性シリコン膜が形成される。同時に、ゲートチャンネル/ソース/ドレイン領域に注入された燐、ひ素、ボロンイオン等が活性化される

ので、生産性が良い場合がある。

【0244】<ボトムゲート型又はデュアルゲート型MOS TFT>MOS TFTを組み込んだ例えはLCDにおいて、上述のトップゲート型に代えて、ボトムゲート型、デュアルゲート型のMOS TFTからなる透過型LCDを製造した例を述べる（但し、反射型LCDも同様である）。

【0245】図26（B）に示すように、表示部及び周辺部にはボトムゲート型のMOS TFTが設けられ、或いは図24（C）に示すように、表示部及び周辺部にはデュアルゲート型のMOS TFTがそれぞれ設けられている。これらのボトムゲート型、デュアルゲート型MOS TFTのうち、特にデュアルゲート型の場合には上下のゲート部によって駆動能力が向上し、高速スイッチングに適し、また上下のゲート部のいずれかを選択的に用いて場合に応じてトップゲート型又はボトムゲート型として動作させることもできる。

【0246】図26（B）のボトムゲート型MOS TFTにおいて、図中の102は耐熱性のMo/Ta等のゲート電極であり、103は塗化シリコン膜及び104は酸化シリコン膜であってボトムゲート絶縁膜を形成し、このゲート絶縁膜上にはトップゲート型MOS TFTと同様の多結晶性シリコン膜67を用いたチャンネル領域等が形成されている。また、図26（C）のデュアルゲート型MOS TFTにおいて、ボトムゲート部はボトムゲート型MOS TFTと同様であるが、トップゲート部は、ゲート絶縁膜106を酸化シリコン膜と塗化シリコン膜で形成し、この上にトップゲート電極75を設けている。

【0247】<ボトムゲート型MOS TFTの製造>まず、ガラス基板61上の全面に、耐熱性のMo/Ta合金のスペッタ膜を300～400nm厚に形成し、これを汎用フォトリソグラフィ及びエッチング技術により20～45度のテーパーエッチングし、少なくともTFT形成領域に、ボトムゲート電極102を形成すると同時に、ゲートラインを形成する。ガラス材質の使い分けは上述したトップゲート型に準ずる。

【0248】次いで、プラズマCVD、触媒CVD等の気相成長法により、ゲート絶縁膜及び保護膜用の塗化シリコン膜103及び酸化シリコン膜104と、錫含有又は非含有のアモルファスシリコン含有微結晶シリコン膜67Aとを形成する。この膜は上述したと同様に更に本発明のレーザーアニールを行って多結晶性シリコン膜67を形成する。これらの気相成膜条件は上述したトップゲート型に準ずる。なお、ボトムゲート絶縁膜及び保護膜用の塗化シリコン膜はガラス基板からのNaイオンストップ作用を期待して設けるものであるが、合成石英ガラスの場合は不要である。

【0249】そして次に、上述したと同様に、汎用フォトリソグラフィ及びエッチング技術によりpMOS TFT

T、nMOS TFT領域をアイランド化し（但し、一方の領域のみを図示：以下、同様）、各チャネル領域のキャリア不純物濃度を制御してV<sub>th</sub>を最適化するために、イオン注入又はイオンドーピング法によりn型又はp型不純物を適量混入した後、更に、各MOS TFTのソース、ドレイン領域を形成するためにイオン注入又はイオンドーピング法によりn型又はp型不純物を適量混入させる。この後に、それぞれの不純物活性化のためにRTA等によりアニールする。

【0250】これ以降のプロセスは、上述したものに準ずる。

【0251】<デュアルゲート型MOS TFTの製造>上記のボトムゲート型と同様に、ボトムゲート電極102、ボトムゲート絶縁膜103及び104、錫含有又は非含有の多結晶性シリコン膜67をそれぞれ形成する。但し、ボトムゲート絶縁膜及び保護膜用の塗化シリコン膜103はガラス基板からのNaイオンストップ作用を期待して設けるものであるが、合成石英ガラスの場合は不要である。

【0252】そして次に、上述したと同様に、汎用フォトリソグラフィ及びエッチング技術によりpMOS TFT、nMOS TFT領域をアイランド化し、各チャネル領域のキャリア不純物濃度を制御してV<sub>th</sub>を最適化するために、イオン注入又はイオンドーピング法によりn型又はp型不純物を適量混入した後、更に、各MOS TFTのソース、ドレイン領域を形成するためにイオン注入又はイオンドーピング法によりn型又はp型不純物を適量混入させる。

【0253】次いで、トップゲート絶縁膜106用の酸化シリコン膜及び塗化シリコン膜を成膜する。気相成長条件は上述したトップゲート型に準ずる。この後に、それぞれの不純物活性化のためにRTA等によりアニールする。

【0254】この後に、全面に400～500nm厚の1%Si入りアルミニウムスペッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、全MOS TFTのトップゲート電極75及びゲートラインを形成する。この後に、プラズマCVD、触媒CVD法等により、酸化シリコン膜を100～200nm厚に、フォスフィンシリケートガラス（PSG）膜を200～300nm厚に、塗化シリコン膜を100～200nm厚にそれぞれ形成し、これらの膜からなる多層絶縁膜86を形成する。次に、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全MOS TFTのソース、ドレイン電極部、さらに表示部nMOS TFTのソース電極部の窓開けを行う。

【0255】次いで、全面に400～500nm厚の1%Si入りアルミニウムスペッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全MOS TFTのソース及びドレインの各アルミニ

ウム電極87、88及び表示部nMOS TFTのアルミニウム電極89、ソースライン及び配線等を形成する。その後に、フォーミングガス中で約400°C、1時間、水素化及びシンター処理する。

【0256】上述したように、本実施の形態によれば、上述の第1の実施の形態と同様に、触媒CVD又はプラズマCVD等の気相成長法と本発明のレーザーアニールにより、LCDの表示部及び周辺駆動回路部のMOS TFTのゲートチャンネル、ソース及びドレイン領域となる、高キャリア移動度で $V_{th}$ 調整が容易であり、低抵抗での高速動作が可能な多結晶性シリコン膜を形成することができる。この多結晶性シリコン膜によるトップゲート、ボトムゲート又はデュアルゲート型MOS TFTを用いた液晶表示装置は、高いスイッチング特性と低リーク電流のLDL構造を有する表示部と、高性能の駆動回路、映像信号処理回路、メモリー等の周辺回路とを一体化した構成が可能となり、高画質、高精細、狭額縫、高効率、安価な液晶パネルの実現が可能である。

【0257】そして、低温(300~400°C)で形成できるので、安価で、大型化が容易な低歪点ガラスを採用でき、コストダウンが可能となる。しかも、アレイ部上にカラーフィルタやブラックマスクを作り込むことにより、液晶表示パネルの開口率、輝度等を改善し、カラーフィルタ基板を不要とし、生産性改善等によるコストダウンが実現する。

【0258】<LCDの製造例3>図27~図29は、アクティブマトリクスLCDの他の製造例を示すものである。

【0259】まず、図27の(1)に示すように、ほうけい酸ガラス、石英ガラス、透明性結晶化ガラスなどの絶縁基板61の一主面において、少なくともTFT形成領域に、フォトレジストを所定パターンに形成し、これをマスクとして例えばCF<sub>x</sub>、プラズマのF<sup>-</sup>イオンを照射し、リアクティブイオンエッティング(RIE)などの汎用フォトリソグラフィ及びエッティング技術によって絶縁基板61に段差223付きの凹部を適当な形状及び寸法で複数個形成する。

【0260】段差223は、後述の単結晶性シリコンのグラフオエピタキシャル成長時のシードとなるものであって、深さd0.01~0.03μm、幅w1~5μm、長さ(紙面垂直方向)5~10μmであってよく、底辺と側面のなす角(底角)は直角とする。なお、絶縁基板61の表面には、ガラス基板からのNaイオンなどの拡散防止のため、窒化シリコン膜を50~200nm厚に、酸化シリコン膜を300~400nm厚に予め連続形成しておき、この酸化シリコン膜内に所定形状及び寸法の段差を複数個形成してもよい。

【0261】次いで、図27の(2)に示すように、フォトレジストの除去後に、絶縁基板61の一主面において、触媒CVD又はプラズマCVD等によって、段差2

23を含む全面に錫又はニッケル含有又は非含有の低級結晶性シリコン膜67Aを例えば100nm厚に形成させる。

【0262】次いで、図27の(3)に示すように、低級結晶性シリコン薄膜67Aに対し、本発明のレーザーアニールによるレーザービーム照射210を行い、このアニールでの溶融と徐冷却時に、段差223の底辺の角をシードにグラフオエピタキシャル成長させて単結晶性シリコン薄膜67を凹部のみならず、そのラテラル(横)方向の周辺部上にも形成することができる。なお、このレーザーアニールと低級結晶性半導体薄膜の成膜を繰り返すことにより積層して、μm単位の単結晶性半導体厚膜を形成してもよい(以下、同様)。

【0263】このようにして単結晶性シリコン薄膜67は例えば(100)面が基板上にグラフオエピタキシャル成長する。この場合、段差223は、レーザーアニールの高エネルギーによってグラフオエピタキシャル成長と称されるエピタキシャル成長のシードとなってこれを促進し、より結晶性の高い単結晶性シリコン薄膜67が約50nm厚で得られる。これについては、図28に示すように、非晶質基板(ガラス)61に上記の段差223の如き垂直な壁を作り、この上にエピタキシー層を形成すると、図28(a)のようなランダムな面方位であったものが図28(b)のように(100)面が段差223の面に沿って結晶成長する。また、上記段差の形状を図29(a)~(f)のように種々に変えることによって、成長層の結晶方位を制御することができる。MOSトランジスタを作成する場合は、(100)面が最も多く採用されている。要するに、段差223の断面形状は、底辺角部の角度(底角)が直角をはじめ、上端から下端にかけて内向き又は外向きに傾斜していてもよく、結晶成長が生じ易い特定方向の面を有していればよい。段差223の底角は通常は直角又は90°以下が望ましく、その底面の角部は僅かな曲率を有しているのがよい。

【0264】こうして、本発明のレーザーアニール時のグラフオエピタキシャル成長によって絶縁基板61上に単結晶性シリコン薄膜67を形成した後、単結晶性シリコン薄膜67(50nm厚)を活性層とする例えばトップゲート型MOS TFTの作製を上述したと同様に行う。

【0265】なお、絶縁基板61として、ポリイミド等の耐熱性樹脂基板を用い、これに対し少なくともTFT形成領域に所定形状及び寸法の段差223を形成し、上記と同様に処理してもよい。例えば、100μm厚のポリイミド基板に、例えば高さ0.03~0.05μm、幅5μm、長さ10μmの所定寸法/形状の凸部を有する金型をスタンピングして、ほぼ金型と逆の寸法/形状の凹部を形成する。又は、補強材としてのステンレス等の金属板に、コーティング、スクリーン印刷等の方法に

よりポリイミド等の耐熱性樹脂膜（5～10 μm厚）を形成し、この膜に例えば高さ0.03～0.05 μm、幅5 μm、長さ10 μmの所定寸法／形状の金型をスタンピングして、少なくとも TFT 形成領域にはほぼ金型と逆の寸法／形状の凹部を形成する。そしてこれ以降は、上記したと同様の工程で単結晶性シリコン薄膜の形成、MOS TFT の形成等を行う。

【0266】以上に説明したように、本例によれば、所定形状／寸法の段差223を有する凹部を絶縁基板61に設け、これをシードとして本発明のレーザーアニールによってグラフォエピタキシャル成長させることにより、高いキャリア移動度の単結晶性シリコン薄膜67が得られるので、高性能ドライバ内蔵のLCDの製造が可能となる。

【0267】<LCDの製造例4>図30は、アクティマトリクスLCDの更に他の製造例を示すものである。

【0268】まず、図30の(1)に示すように、ほうけい酸ガラス、アルミニノけい酸ガラス、石英ガラス、透明結晶化ガラス等の絶縁基板61の一主面において、少なくとも TFT 形成領域に、単結晶シリコンと格子整合の良好な物質層、例えば結晶性サファイア薄膜224を10～200 nmの厚さに形成する。この結晶性サファイア薄膜224は、高密度プラズマCVD法や、触媒CVD法等により、トリメチルアルミニウムガスなどを酸化性ガス（酸素・水分）で酸化し、結晶化させて作成する。

【0269】次いで、図30の(2)に示すように、触媒CVD法、プラズマCVD法等によって、結晶性サファイア薄膜224上に低級結晶性シリコン膜67Aを例えば100 nm厚に形成する。

【0270】次いで、図30の(3)に示すように、低級結晶性シリコン薄膜67Aに対し、本発明のレーザーアニールのレーザービーム照射210を行い、溶融と徐冷卻により、結晶性サファイア薄膜224をシードにヘテロエピタキシャル成長させて単結晶性シリコン薄膜67を形成する。即ち、結晶性サファイア膜224は単結晶シリコンと良好な格子整合を示すために、これがシードとなって、本発明のレーザーアニールにより単結晶性シリコンは例えば(100)面が基板上に効果的にヘテロエピタキシャル成長する。この場合、上述した段差223を形成し、これを含む面上に結晶性サファイア薄膜224を形成すれば、段差223によるグラフォエピタキシャル成長を加味したヘテロエピタキシャル成長により、より結晶性の高い単結晶性シリコン薄膜67が得られる。尚、本発明のレーザーアニールと低級結晶性半導体薄膜の成膜を繰り返すことにより積層して、μm単位の単結晶性半導体厚膜を形成してもよい。

【0271】こうして、本発明のレーザーアニール時のヘテロエピタキシャル成長によって絶縁基板61上に単

結晶性シリコン薄膜67を約50 nm厚に析出させた後、この単結晶性シリコン薄膜67を活性層とする例えトップゲート型MOS TFTの作製を上述したと同様に行う。

【0272】以上に説明したように、本例によれば、絶縁基板61上に設けた結晶性サファイア薄膜224をシードとして本発明のレーザーアニールによってヘテロエピタキシャル成長させることにより、高いキャリア移動度の単結晶性シリコン薄膜67が得られるので、高性能ドライバ内蔵のLCDの製造が可能となる。

【0273】また、結晶性サファイア薄膜224などの上記物質層は、様々な原子の拡散バリアになるため、絶縁基板61からの不純物の拡散を制御することができる。この結晶性サファイア薄膜はNaイオンストップ作用があるので、この膜厚が十分に厚い場合には、上記保護膜のうち少なくとも窒化シリコン膜は省略できる。

【0274】なお、結晶性サファイア膜に代えて、これと同様の作用をなす、例えばスピネル構造体、フッ化カルシウム、フッ化ストロンチウム、フッ化バリウム、リン化ボロン、酸化イットリウム及び酸化ジルコニウムからなる群より選ばれた少なくとも1種の物質層が形成されてもよい。

#### 【0275】第3の実施の形態

本実施の形態は、本発明を有機又は無機のエレクトロルミネセンス(EL)表示装置、例えば有機EL表示装置に適用したものである。以下にその構造例と製造例を示す。尚、ここではトップゲート型MOS TFTの例であるが、上記のようにボトムゲート型又はデュアルゲート型MOS TFTを適用してもよいことは言うまでもない。

#### 【0276】<有機EL素子の構造例I>図31

(A)、(B)に示すように、この構造例Iによれば、ガラス等の基板111上に、本発明に基づいて上述した方法で形成された高結晶化率、大粒径の多結晶性シリコン膜（又は単結晶性シリコン膜：以下、多結晶性シリコン膜を例に説明するが、単結晶性シリコン膜も同様である。）によって、スイッチング用MOS TFT1と電流駆動用MOS TFT2のゲートチャネル領域117、ソース領域120及びドレイン領域121が形成されている。そして、ゲート絶縁膜118上にゲート電極115、ソース及びドレイン領域上にソース電極127及びドレイン電極128、131が形成されている。MOS TFT1のドレインとMOS TFT2のゲートとはドレイン電極128を介して接続されていると共に、MOS TFT2のソース電極127との間に絶縁膜136を介してキャパシタCが形成され、かつ、MOS TFT2のドレイン電極131は有機EL素子の陰極138にまで延設されている。尚、スイッチング用MOS TFT1にLDD部を形成してスイッチング特性向上を図ってもよい。

【0277】各MOS TFTは絶縁膜130で覆われ、この絶縁膜上には陰極を覆うように有機EL素子の例えれば緑色有機発光層132（又は青色有機発光層133、更には図示しない赤色有機発光層）が形成され、この有機発光層を覆うように陽極（1層目）134が形成され、更に共通の陽極（2層目）135が全面に形成されている。なお、CMOS TFTからなる周辺駆動回路、映像信号処理回路、メモリー回路等の製法は、上述した液晶表示装置に準ずる（以下、同様）。

【0278】この構造の有機EL表示部は、有機EL発光層が電流駆動用MOS TFT 2のドレインに接続され、陰極（Li-AI、Mg-Agなど）138がガラス等の基板111の面に被着され、陽極（ITO膜など）134、135がその上部に設けられており、従って、上面発光136となる。また、陰極がMOS TFT上を覆っている場合は発光面積が大きくなり、このときには陰極が遮光膜となり、発光光等がMOS TFTに入射しないのでリーク電流発生がなく、TFT特性の悪化がない。

【0279】また、各画素部周辺に図31（C）のようにブラックマスク部（クロム、二酸化クロム等）140を形成すれば、光漏れ（クロストーク等）を防止し、コントラストの向上が図れる。

【0280】なお、画素表示部に緑色、青色、赤色の3色発光層を使用する方法、色変換層を使用する方法、白色発光層にカラーフィルターを使用する方法のいずれでも、良好なフルカラーの有機EL表示装置が実現でき、また、各色発光材料である高分子化合物のスピンドルティング法、又は金属錯体の真空加熱蒸着法においても、長寿命、高精度、高品質、高信頼性のフルカラー有機EL部を生産性良く作成できるので、コストダウンが可能となる（以下、同様）。

【0281】次に、この有機EL素子の製造プロセスを説明すると、まず、図32の（1）に示すように、上述した工程を経て多結晶性シリコン膜からなるソース領域120、チャンネル領域117及びドレイン領域121を形成した後、ゲート絶縁膜118を形成し、この上にMOS TFT 1、2のゲート電極115をMo-Ta合金等のスペッタリング成膜と汎用フォトリソグラフィ及びエッチング技術により形成し、またMOS TFT 1のゲート電極に接続されるゲートラインをスペッタリング成膜と汎用フォトリソグラフィ及びエッチング技術により（以下、同様）形成する。そして、オーバーコート膜

（酸化シリコン等）137を触媒CVD等の気相成長法により（以下、同様）形成後、MOS TFT 2のソース電極127及びアースラインを形成し、更にオーバーコート膜（酸化シリコン／塗化シリコン積層膜）136を形成する。ハロゲンランプ等でのRTA（Rapid Thermal Anneal）処理（例えば約1000°C、30秒）により、イオンドーピングしたn又はp型不純物を活性化さ

せる。

【0282】次いで、図32の（2）に示すように、MOS TFT 1のソース／ドレイン部、MOS TFT 2のゲート部の窓開けを行った後、図32の（3）に示すように、1%Si入りAlのスペッタリング及び汎用フォトリソグラフィ及びエッチング技術によりMOS TFT 1のドレイン電極とMOS TFT 2のゲート電極を1%Si入りAl配線128で接続し、同時にMOS TFT 1のソース電極と、この電極に接続される1%Si入りAlからなるソースラインを形成する。そして、オーバーコート膜（酸化シリコン／フォスファリケートガラス／塗化シリコン積層膜等）130を形成し、MOS TFT 2のドレイン部の窓開けを行い、MOS TFT 2のドレイン部と接続した発光部の陰極138を形成する。

【0283】次いで、図32の（4）に示すように、有機発光層132等及び陽極134、135を形成する。

【0284】従来の周辺駆動回路一体型のアクティバトリックス型有機EL表示装置では、X方向信号線とY方向信号線により画素が特定され、その画素においてスイッチ用MOS TFTがオンされてその信号保持用コンデンサに画像データが保持される。これにより電流制御用MOS TFTがオンされ、電源線より有機EL素子に画像データに応じたバイアス用の電流が流れ、これが発光する。しかしこのときに、アモルファスシリコンMOS TFTの場合は、 $V_{th}$ が変動して電流値が変わり易く、画質に変動が起きやすい。しかも、キャリア移動度が小さいため高速応答でドライブできる電流にも限界があり、またpチャンネルの形成が困難で小規模なCMOS回路構成さえも困難である。

【0285】これに対し、本発明に基づいて上記したように、比較的大面積化が容易でかつ高信頼性であってキャリア移動度も高く、CMOS回路構成も可能な多結晶性シリコンTFTを実現することができる。

【0286】なお、上記において、緑色（G）発光有機EL層、青色（B）発光有機EL層、赤色（R）発光有機EL層はそれぞれ、100～200nm厚に形成するが、これらの有機EL層は、低分子化合物の場合は真空加熱蒸着法で形成され、高分子化合物の場合はディップティングコーティング、スピンドルティングなどの塗布法やインクジェット法によりR、G、B発光ポリマーを配列する方法が用いられる。金属錯体の場合は、昇華可能な材料を真空加熱蒸着法で形成される。

【0287】有機EL層には、単層型、二層型、三層型等があるが、ここでは低分子化合物の三層型の例を示す。

単層型；陽極／バイポーラー発光層／陰極、

二層型；陽極／ホール輸送層／電子輸送性発光層／陰極、又は陽極／ホール輸送性発光層／電子輸送層／陰極、

三層型；陽極／ホール輸送層／発光層／電子輸送層／陰極、又は陽極／ホール輸送性発光層／キャリアブロック層／電子輸送性発光層／陰極

【0288】なお、図31（B）の素子において、有機発光層の代わりに公知の発光ポリマーを用いれば、パンシップマトリクス又はアクティブマトリクス駆動の発光ポリマー表示装置（LEPD）として構成することができる（以下、同様）。

【0289】<有機EL素子の構造例II>図33  
(A)、(B)に示すように、この構造例IIによれば、ガラス等の基板111上に、上記の構造例Iと同様に、本発明に基づいて上述した方法で形成された高結晶化率、大粒径の多結晶性シリコン膜によって、スイッチング用MOS TFT 1と電流駆動用MOS TFT 2のゲートチャネル117、ソース領域120及びドレイン領域121が形成されている。そして、ゲート絶縁膜118上にゲート電極115、ソース及びドレイン領域上にソース電極127及びドレイン電極128、131が形成されている。MOS TFT 1のドレインとMOS TFT 2のゲートとはドレイン電極128を介して接続されると共に、MOS TFT 2のドレイン電極131との間に絶縁膜136を介してキャパシタCが形成され、かつ、MOS TFT 2のソース電極127は有機EL素子の陽極144にまで延設されている。尚、スイッチング用MOS TFT 1にLDD部を形成してスイッチング特性向上を図ってもよい。

【0290】各MOS TFTは絶縁膜130で覆われ、この絶縁膜上には陽極を覆うように有機EL素子の例えば緑色有機発光層132（又は青色有機発光層133、更には図示しない赤色有機発光層）が形成され、この有機発光層を覆うように陰極（1層目）141が形成され、更に共通の陰極（2層目）142が全面に形成されている。

【0291】この構造の有機EL表示部は、有機EL発光層が電流駆動用MOS TFT 2のソースに接続され、ガラス等の基板111の面に被着された陽極144を覆うように有機EL発光層を形成し、その有機EL発光層を覆うように陰極141を形成し、全面に陰極142を形成しており、従って、下面発光136'となる。また、陰極が有機EL発光層間及びMOS TFT上を覆っている。即ち、全面に、例えば緑色発光有機EL層を真空加熱蒸着法等により形成した後に、緑色発光有機EL部をフォトリソグラフィ及びドライエッティングで形成し、連続して同様に、青色、赤色発光有機EL部を形成し、最後に全面に陰極（電子注入層）141をマグネシウム：銀合金又はアルミニウム：リチウム合金により形成する。この全面に更に形成した陰極（電子注入層）142で密封するので、外部から有機EL層間に湿気が侵入することを特に全面被着の陰極142により防止して湿気に弱い有機EL層の劣化や電極の酸化を防止し、長

寿命、高品質、高信頼性が可能となる（これは、図29の構造例Iでも陽極で全面被覆されているため、同様である）。また、陰極141及び142により放熱効果が高まるので、発熱による有機EL薄膜の構造変化（融解又は再結晶化）が低減し、長寿命、高品質、高信頼性が可能となる。しかも、これによって、高精度、高品質のフルカラーの有機EL層を生産性良く作成できるので、コストダウンが可能となる。

【0292】また、各画素部周辺に図33（C）のようにブラックマスク部（クロム、二酸化クロム等）140を形成すれば、光漏れ（クロストーク等）を防止し、コントラストの向上が図れる。なお、このブラックマスク部140は、絶縁用の酸化シリコン膜143（これはゲート絶縁膜118と同時に同一材料で形成してよい。）によって覆われている。

【0293】次に、この有機EL素子の製造プロセスを説明すると、まず、図34の（1）に示すように、上述した工程を経て多結晶性シリコン膜からなるソース領域120、チャンネル領域117及びドレイン領域121を形成した後、触媒CVD等の気相成長法によりゲート絶縁膜118を形成し、Mo-Ta合金のスペッタリング成膜及び汎用フォトリソグラフィ及びエッティング技術によりこの上にMOS TFT 1、2のゲート電極115を形成し、同時にMOS TFT 1のゲート電極に接続されるゲートラインを形成する。そして、触媒CVD等の気相成長法によりオーバーコート膜（酸化シリコン等）137を形成後、Mo-Ta合金のスペッタリング成膜及び汎用フォトリソグラフィ及びエッティング技術によりMOS TFT 2のドレイン電極131及びV<sub>dd</sub>ラインを形成し、更に触媒CVD等の気相成長法によりオーバーコート膜（酸化シリコン／窒化シリコン積層膜等）136を形成する。なお、ハロゲンランプ等でのRTA（Ra pd Thermal Anneal）処理（例えば、約1000℃、10～30秒）により、イオン注入したキャリア不純物を活性化させる。

【0294】次いで、図34の（2）に示すように、汎用フォトリソグラフィ及びエッティング技術によりMOS TFT 1のソース／ドレイン部、MOS TFT 2のゲート部の窓開けを行った後、図34の（3）に示すように、1%Si入りA1のスペッタリング成膜及び汎用フォトリソグラフィ及びエッティング技術により、MOS TFT 1のドレインとMOS TFT 2のゲートを1%Si入りA1配線128で接続し、同時にMOS TFT 1のソースに接続される1%Si入りA1からなるソースラインを形成する。そして、オーバーコート膜（酸化シリコン／オスフィンシリケートガラス／窒化シリコン積層膜等）130を形成し、汎用フォトリソグラフィ及びエッティング技術によりMOS TFT 2のソース部の窓開けを行い、ITO等のスペッタリング及び汎用フォトリソグラフィ及びエッティング技術によりMOS TFT 2の

ソース部と接続した発光部の陽極 144 を形成する。

【0295】次いで、図34の(4)に示すように、上記のように有機発光層132等及び陰極141、142を形成する。

【0296】なお、以下に述べる有機ELの各層の構成材料や形成方法は図33の例に適用されるが、図31の例にも同様に適用されてよい。

【0297】緑色発光有機EL層に低分子化合物を用いる場合は、ガラス基板上の陽極(ホール注入層)である、電流駆動用MOSFETのソース部とコンタクトしたITO透明電極上に、連続した真空加熱蒸着法により形成する。

1) ホール輸送層は、アミン系化合物(例えば、トリアリールアミン誘導体、アリールアミンオリゴマー、芳香族第三アミン等)等

2) 発光層は、緑色発光材料であるトリス(8-ヒドロキシキシリノ)Al錯体(Alq)等

3) 電子輸送層は、1, 3, 4-オキサジアゾール誘導体(OXD)、1, 2, 4-トリアゾール誘導体(TAZ)等

4) 陰極である電子注入層は、4eV以下の仕事関数を有する材料で作られるのが好ましい。

例えば、10:1(原子比)のマグネシウム:銀合金の10~30nm厚

アルミニウム:リチウム(濃度は0.5~1%)合金の10~30nm厚

ここで、銀は有機界面との接着性を増すためにマグネシウム中に1~10原子%添加され、リチウムは安定化のためにアルミニウム中に濃度は0.5~1%添加される。

【0298】緑色画素部を形成するには、緑色画素部をフォトレジストでマスクし、CCl<sub>4</sub>ガスのプラズマエッティングにより陰極である電子注入層のアルミニウム:リチウム合金を除去し、連続して電子輸送層、発光層、ホール輸送層の低分子系化合物及びフォトレジストを酸素プラズマエッティングで除去し、緑色画素部を形成する。この時に、フォトレジストの下にはアルミニウム:リチウム合金があるので、フォトレジストがエッティングされても問題ない。又、この時に、電子輸送層、発光層、ホール輸送層の低分子系化合物層は、ホール注入層のITO透明電極よりも大きい面積とし、後工程で全面に形成する陰極の電子注入層(マグネシウム:銀合金)と電気的ショートしないようにする。

【0299】次に、青色発光有機EL層を低分子化合物で形成する場合は、ガラス基板上の陽極(ホール注入層)である電流駆動用TFTのドレイン部とコンタクトしたITO透明電極上に、連続して真空加熱蒸着により形成する。

1) ホール輸送層は、アミン系化合物(例えば、トリアリールアミン誘導体、アリールアミンオリゴマー、芳香族第三アミン等)等

族第三アミン等)等

2) 発光層は、青色発光材料であるDTVB<sub>i</sub>のようなジスチリル誘導体等

3) 電子輸送層は、1, 3, 4-オキサジアゾール誘導体(TAZ)、1, 2, 4-トリアゾール誘導体(TAZ)等

4) 陰極である電子注入層は、4eV以下の仕事関数を有する材料で作られるのが好ましい。

例えば、10:1(原子比)のマグネシウム:銀合金の10~30nm厚

アルミニウム:リチウム(濃度は0.5~1%)合金の10~30nm厚

ここで、銀は有機界面との接着性を増すためにマグネシウム中に1~10原子%添加され、リチウムは安定化のためにアルミニウム中に濃度は0.5~1%添加される。

【0300】青色画素部を形成するには、青色画素部をフォトレジストでマスクし、CCl<sub>4</sub>ガスのプラズマエッティングで陰極である電子注入層のアルミニウム:リチウム合金を除去し、連続して電子輸送層、発光層、ホール輸送層の低分子系化合物及びフォトレジストを酸素プラズマエッティングで除去し、青色画素部を形成する。この時に、フォトレジストの下にはアルミニウム:リチウム合金があるので、フォトレジストがエッティングされても問題ない。この時に、電子輸送層、発光層、ホール輸送層の低分子系化合物層は、ホール注入層のITO透明電極よりも大きい面積とし、後工程で全面に形成する陰極の電子注入層(マグネシウム:銀合金)と電気的ショートしないようにする。この時に、緑色画素部や赤色画素部に積層した青色発光有機EL層は、それぞれのエッティング時に同時に除去される。

【0301】また、赤色発光有機EL層を低分子化合物で形成する場合は、ガラス基板上の陽極(ホール注入層)である電流駆動用TFTのドレイン部とコンタクトしたITO透明電極上に、連続して真空加熱蒸着により形成する。

1) ホール輸送層は、アミン系化合物(例えば、トリアリールアミン誘導体、アリールアミンオリゴマー、芳香族第三アミン等)等

2) 発光層は、赤色発光材料であるEu(Eu(DBM)<sub>3</sub>(Phen))等

3) 電子輸送層は、1, 3, 4-オキサジアゾール誘導体(OXD)、1, 2, 4-トリアゾール誘導体(TAZ)等

4) 陰極である電子注入層は、4eV以下の仕事関数を有する材料で作られるのが好ましい。

例えば、10:1(原子比)のマグネシウム:銀合金の10~30nm厚

アルミニウム:リチウム(濃度は0.5~1%)合金の10~30nm厚

銀は有機界面との接着性を増すためにマグネシウム中に1～10原子%添加され、リチウムは安定化のためにアルミニウム中に濃度は0.5～1%添加される。

【0302】赤色画素部を形成するには、赤色画素部をフォトレジストでマスクし、CC1<sub>4</sub>ガスのプラズマエッチングで陰極である電子注入層のアルミニウム：リチウム合金を除去し、連続して電子輸送層、発光層、ホール輸送層の低分子系化合物及びフォトレジストを酸素プラズマエッチングで除去し、赤色画素部を形成する。この時に、フォトレジストの下にはアルミニウム：リチウム合金があるので、フォトレジストがエッ칭されても問題ない。又、この時に、電子輸送層、発光層、ホール輸送層の低分子系化合物層は、ホール注入層のITO透明電極よりも大きい面積とし、後工程で全面に形成する陰極の電子注入層（マグネシウム：銀合金）と電気的ショートしないようにする。この時に、緑色画素部や青色画素部に積層した赤色発光有機EL層は、それぞれのエッ칭時に同時に除去される。その後に、全面に共通の陰極142を陰極141と同じ材料及び方法で形成する。

#### 【0303】第4の実施の形態

本実施の形態は、本発明を電界放出型（フィールドエミッション）ディスプレイ装置（FED：Field Emission Display）に適用したものである。以下にその構造例と製造例を示す。尚、ここではトップゲート型MOSFETの例であるが、上記のようにボトムゲート型又はデュアルゲート型MOSFETを適用してもよいことは言うまでもない。

【0304】<FEDの構造例I>図35（A）、（B）、（C）に示すように、この構造例Iによれば、ガラス等の基板111上に、本発明に基づいて上述した方法で形成された高結晶化率、大粒径の多結晶性シリコン膜によって、スイッチング用MOSFET1と電流駆動用MOSFET2のゲートチャンネル領域117、ソース領域120及びドレイン領域121が形成されている。そして、ゲート絶縁膜118上にゲート電極115、ソース及びドレイン領域上にソース電極127及びドレイン電極128が形成されている。MOSFET1のドレインとMOSFET2のゲートとはドレイン電極128を介して接続されていると共に、MOSFET2のソース電極127との間に絶縁膜136を介してキャパシタCが形成され、かつ、MOSFET2のドレイン領域121はそのままFED素子のFEC（電界放出カソード）にまで延設され、エミッタ領域152として機能している。尚、スイッチング用MOSFETにはLD部を形成してスイッチング特性向上を図ってもよい。

【0305】各MOSFETは絶縁膜130で覆われ、この絶縁膜上には、FECのゲート引き出し電極150と同一材料にて同一工程で接地用の金属遮蔽膜151が形成され、各MOSFET上を覆っている。FECにお

いては、多結晶性シリコン膜からなるエミッタ領域152上に電界放出エミッタとなるn型多結晶性シリコン膜153が形成され、更にm×n個の各エミッタに区画するための開口を有するように、絶縁膜118、137、136及び130がパターニングされ、この上面にはゲート引き出し電極150が被着されている。

【0306】また、このFECに対向して、バックメタル155付きの蛍光体156をアノードとして形成したガラス基板等の基板157が設けられており、FECとの間は高真空中に保持されている。

【0307】この構造のFECにおいては、ゲート引き出し電極150の開口下には、本発明に基づいて形成された多結晶性シリコン膜152上に成長されたn型多結晶性シリコン膜153が露出し、これがそれぞれ電子154を放出する薄膜の面放出型エミッタとして機能する。即ち、エミッタの下地となる多結晶性シリコン膜152は、大粒径（グレインサイズ数100nm以上）のグレインからなっているため、これをシードとしてその上にn型多結晶性シリコン膜153を触媒CVD等によって成長させると、この多結晶性シリコン膜153はさらに大きな粒径で成長し、表面が電子放出にとって有利な微細な凹凸158を生じるように形成されるのである。

【0308】従って、エミッタが薄膜からなる面放出型であるために、その形成が容易であると共に、エミッタ性能も安定し、長寿命化が可能となる。

【0309】また、すべての能動素子（これには周辺駆動回路及び画素表示部のMOSFETとダイオードが含まれる。）の上部にアース電位の金属遮蔽膜151（この金属遮蔽膜は、ゲート引き出し電極150と同じ材料（Nb、Ti/Mo等）、同じ工程で形成すると工程上都合がよい。）が形成されているので、次の（1）、（2）の利点を得ることができ、高品質、高信頼性のフィールドエミッションディスプレイ（FED）装置を実現することが可能となる。

【0310】（1）気密容器内にあるガスがエミッタ153から放出された電子により正イオン化されて絶縁層上にチャージアップし、この正電荷が絶縁層下にあるMOSFETに不要な反転層を形成し、この反転層からなる不要な電流経路を介して余分な電流が流れるために、エミッタ電流の暴走が起きる。しかし、MOSFET上の絶縁層に金属遮蔽膜151を形成してアース電位に落としているので、チャージアップ防止が可能となり、エミッタ電流の暴走を防止できる。

【0311】（2）エミッタ153から放出された電子の衝突により蛍光体156が発光するが、この光によりMOSFETのゲートチャンネル内に電子、正孔が発生し、リーク電流となる。しかし、MOSFET上の絶縁層に金属遮蔽膜151が形成されているので、TFTへの光入射が防止され、TFTの動作不良は生じない。

【0312】次に、このFEDの製造プロセスを説明すると、まず、図36の(1)に示すように、上述した工程を経て全面に多結晶性シリコン膜117を形成した後、汎用フォトリソグラフィ及びエッティング技術によりMOSTFT1とMOSTFT2及びエミッタ領域にアイランド化し、プラズマCVD、触媒CVD法等により全面に保護用酸化シリコン膜159を形成する。

【0313】次いで、MOSTFT1、2のゲートチャネル不純物濃度の制御による $V_{th}$ の最適化のために、イオン注入又はイオンドーピング法により全面にボロンイオン83を $5 \times 10^{11} \text{ atoms/cm}^2$ のドーズ量でドーピングし、 $1 \times 10^{17} \text{ atoms/cc}$ のアクセプタ濃度に設定する。

【0314】次いで、図36の(2)に示すように、フォトレジスト82をマスクにして、イオン注入又はイオンドーピング法によりMOSTFT1、2のソース/ドレイン部及びエミッタ領域に燐イオン79を $1 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量でドーピングし、 $2 \times 10^{20} \text{ atoms/cc}$ のドナー濃度に設定し、ソース領域120、ドレイン領域121、エミッタ領域152をそれぞれ形成した後、汎用フォトリソグラフィ及びエッティング技術によりエミッタ領域の保護用酸化シリコン膜を除去する。尚、この時に、MOSTFT1に( $1 \sim 5$ ) $\times 10^{18} \text{ atoms/cc}$ のドナー濃度のLDD領域を形成してスイッチング特性向上させてもよい。

【0315】次いで、図36の(3)に示すように、エミッタ領域を形成する多結晶性シリコン膜152をシードに、モノシリランとPH<sub>3</sub>等のドーパントを適量比率(例えば $10^{20} \text{ atoms/cc}$ )混合した触媒CVD又はバイアス触媒CVD等により、表面に微細凹凸158を有するn型多結晶性シリコン膜153を $1 \sim 5 \mu\text{m}$ 厚にエミッタ領域に形成し、同時に他の酸化シリコン膜159及びガラス基板111上にはn型アモルファスシリコン膜160を $1 \sim 5 \mu\text{m}$ 厚に形成する。

【0316】次いで、図36の(4)に示すように、上述した触媒AHA処理時の水素系活性種(活性化水素イオンなど)により、アモルファスシリコン膜160をエッティング除去し、酸化シリコン膜159のエッティング除去後に触媒CVD等によりゲート絶縁膜(酸化シリコン膜)118を形成する。

【0317】次いで、図37の(5)に示すように、スペッタリング法によるMo-Ta合金等の耐熱性金属によりMOSTFT1、2のゲート電極115、MOSTFT1のゲート電極に接続されるゲートラインを形成し、オーバーコート膜(酸化シリコン膜等)137を形成した後、ハロゲンランプ等によるRTA(Rapid Thermal Anneal)処理でドーピングされたn型及びp型不純物を活性化させ、MOSTFT2のソース部窓開け後にスペッタリング法によるMo-Ta合金等の耐熱性金属でMOSTFT2のソース電極127及びアースライン

を形成する。更に、プラズマCVD、触媒CVD等によりオーバーコート膜(酸化シリコン/窒化シリコン積層膜等)136を形成する。

【0318】次いで、図37の(6)に示すように、MOSTFT1のソース/ドレイン部及びMOSTFT2のゲート部の窓開けを行い、MOSTFT1のドレインとMOSTFT2のゲートを1%Si入りAl配線128で接続し、同時にMOSTFT1のソース電極とそのソースに接続されるソースライン127を形成する。この後に、フォーミングガス中で400℃、30分の水素化及びシンター処理する。

【0319】次いで、図37の(7)に示すように、オーバーコート膜(酸化シリコン/フォスフィンシリケートガラス/窒化シリコン積層膜等)130を形成した後、GNDラインの窓開けし、図37の(8)に示すように、ゲート引き出し電極150や金属遮蔽膜151をNb蒸着後のエッティングで形成し、更に電界放出カソード部を窓開けてエミッタ153を露出させ、上述したプラズマ又は触媒AHA処理の水素系活性種(活性化水素イオンなど)でクリーニングする。

【0320】従来のフィールドエミッショニスプレイ(FED)装置は、単純マトリックスとアクティブラーマトリックス駆動に大別され、電界放出電子源(Field Emitter)には、スピント型モリブデンエミッタ、コーン型シリコンエミッタ、MIMトンネルエミッタ、ポーラスシリコンエミッタ、ダイヤモンドエミッタ、表面伝導エミッタなどがあり、いずれも平面基板上にエミッタを集積することができる。単純マトリックス駆動は、XYマトリックスに配列したフィールドエミッタアレイを1画素として使用し、画素ごとに放出量を制御して画像表示を行う。又、アクティブラーマトリックス駆動は、MOSTFTのドレイン部に形成されたエミッタの放出電流を制御ゲートによってコントロールする。これは、作製プロセスが通常のシリコンLSIとコンパチブルなので、フィールドエミッショニスプレイ周辺に複雑な処理回路を作りつけることが容易である。しかし、シリコン単結晶基板を用いるために、基板コストが高く、ウエーハサイズ以上の大面积化が困難である。そして、カソード電極表面に減圧CVD等により導電性の多結晶シリコン膜と、その表面にプラズマCVD等により結晶性ダイヤモンド膜からなるエミッタの製造が提案されているが、減圧CVD時の成膜温度が630℃と高く、ガラス基板を採用できないので、コストダウンが難しい。そして、その減圧CVDによる多結晶シリコン膜は粒径が小さく、その上の結晶性ダイヤモンド膜も粒径が小さく、エミッタの特性が良くない。更に、プラズマCVDでは、反応エネルギーが不足しているので、良い結晶性ダイヤモンド膜は得にくい。又、透明電極又はAl、Ti、Cr等の金属のカソード電極と導電性の多結晶シリコン膜との接合性が悪いので、良好な電子放出特性は得

られない。

【0321】これに対し、本発明に基づいて形成された大粒径多結晶性シリコン膜は、ガラス等の基板上に形成可能であって、電流駆動用TFTのドレインとつながったエミッタ領域の大粒径多結晶性シリコン膜であり、これをシードに触媒CVDなどにより、n型（又はn型）の大粒径多結晶性シリコン膜（これは単結晶性シリコン膜として成長させることもできる。）（又は後述の多結晶性ダイヤモンド膜）のエミッタを形成し、その後に連続して触媒AHA処理などによりアモルファス構造のシリコン膜又はアモルファス構造のダイヤモンド膜（ DLC : DiamondLike Carbonとも言う。）を還元エッチングして表面に無数の凹凸形状を有する高結晶化率／大粒径のエミッタを形成するので、電子放出効率の高いエミッタを形成でき、またドレインとエミッタの接合性が良好であり、高効率のエミッタ特性が可能となる。こうして、上記した従来の問題点を解消することができる（以下、同様）。

【0322】また、1つの画素表示部のエミッタ領域を複数に分割し、それぞれにスイッチング素子のMOSFETを接続すれば、たとえ1つのMOSFETが故障しても、他のMOSFETが動作するので、1つの画素表示部は必ず電子放出する構成となり、高品質で歩留が高く、コストダウンできる（以下、同様）。又、これらのMOSFETにおいて電気的オープン不良のMOSFETは問題ないが、電気的ショートしたMOSFETはレザーリペアで分離するのが一般的な歩留向上対策であるが、本発明に基づく上記構成はそれに対応できるので、高品質で歩留が高く、コストダウンできる（以下、同様）。

【0323】<FEDの構造例II>図38（A）、（B）、（C）に示すように、この構造例IIによれば、ガラス等の基板111上に、上記の構造例Iと同様に、本発明に基づいて上述した方法で形成された高結晶化率、大粒径の多結晶性シリコン膜によって、スイッチング用MOSFET1と電流駆動用MOSFET2のゲートチャネル領域117、ソース領域120及びドレイン領域121が形成されている。そして、ゲート絶縁膜118上にゲート電極115、ソース及びドレイン領域上にソース電極127及びドレイン電極128が形成されている。MOSFET1のドレインとMOSFET2のゲートとはドレイン電極128を介して接続されていると共に、MOSFET2のソース電極127との間に絶縁膜136を介してキャパシタCが形成され、かつ、MOSFET2のドレイン領域121はそのままFED素子のFEC（電界放出カソード）にまで延設され、エミッタ領域152として機能している。尚、スイッチング用MOSFET1にLDD部を形成することによりスイッチング特性向上を図ってもよい。

【0324】各MOSFETは絶縁膜130で覆われ、

この絶縁膜上には、FECのゲート引き出し電極150と同一材料にて同一工程で接地用の金属遮蔽膜151が形成され、各MOSFET上を覆っている。FECにおいては、多結晶シリコン膜からなるエミッタ領域152上に電界放出エミッタとなるn型多結晶性ダイヤモンド膜163が形成され、更にm×n個の各エミッタに区画するための開口を有するように、絶縁膜118、137、136及び130がパターニングされ、この上面にはゲート引き出し電極150が被着されている。

【0325】また、このFECに対向して、バックメタル155付きの蛍光体156をアノードとして形成したガラス基板等の基板157が設けられており、FECとの間は高真空中に保持されている。

【0326】この構造のFECは、ゲート引き出し電極150の開口下には、本発明に基づいて形成された多結晶性シリコン膜152上に成長されたn型多結晶性ダイヤモンド膜163が露出し、これがそれぞれ電子154を放出する薄膜の面放出型のエミッタとして機能する。即ち、エミッタの下地となる多結晶性シリコン膜152は、大粒径（グレインサイズ数100nm以上）のグレインからなっているため、これをシードとしてその上にn型多結晶性ダイヤモンド膜163を触媒CVD等によって成長させると、この多結晶性ダイヤモンド膜163はやはり大粒径で成長し、表面が電子放出にとって有利な微細な凹凸168を生じるように形成されるのである。

【0327】従って、エミッタが薄膜からなる面放出型であるために、その形成が容易であると共に、エミッタ性能も安定し、長寿命化が可能となる。

【0328】また、すべての能動素子（これには周辺駆動回路及び画素表示部のMOSFETとダイオードが含まれる。）の上部にアース電位の金属遮蔽膜151（この金属遮蔽膜は、ゲート引き出し電極150と同じ材料（Nb、Ti/Mo等）、同じ工程で形成すると工程上都合がよい。）が形成されているので、上述したと同様に、MOSFET上の絶縁層に金属遮蔽膜151を形成してアース電位に落とし、チャージアップ防止が可能となり、エミッタ電流の暴走を防止でき、また、MOSFET上の絶縁層に金属遮蔽膜151が形成されているので、MOSFETへの光入射が防止され、MOSFETの動作不良は生じない。このために高品質、高信頼性のフィールドエミッションディスプレイ（FED）装置を実現することが可能となる。

【0329】次に、このFEDの製造プロセスを説明すると、まず、図39の（1）に示すように、上述した工程を経て全面に多結晶性シリコン膜117を形成した後、汎用フォトリソグラフィ及びエッチング技術によりMOSFET1とMOSFET2及びエミッタ領域にアiland化し、プラズマCVD、触媒CVD法等により全面に保護用酸化シリコン膜159を形成する。

【0330】次いで、MOS TFT 1、2のゲートチャネル不純物濃度の制御による $V_{th}$ の最適化のために、イオン注入又はイオンドーピング法により全面にボロニイオン $8\text{3}$ を $5 \times 10^{11} \text{ atoms/cm}^2$ <sup>17</sup>のドーズ量でドーピングし、 $1 \times 10^{17} \text{ atoms/cc}$ のアクセプタ濃度に設定する。

【0331】次いで、図39の(2)に示すように、フォトレジスト $8\text{2}$ をマスクにして、イオン注入又はイオンドーピング法によりMOS TFT 1、2のソース／ドレイン部及びエミッタ領域に燐イオン $7\text{9}$ を $1 \times 10^{15} \text{ atoms/cm}^2$ <sup>15</sup>のドーズ量でドーピングし、 $2 \times 10^{20} \text{ atoms/cc}$ のドナー濃度に設定し、ソース領域 $1\text{2}\text{0}$ 、ドレイン領域 $1\text{2}\text{1}$ 、エミッタ領域 $1\text{5}\text{2}$ をそれぞれ形成した後、汎用フォトリソグラフィ及びエッチング技術によりエミッタ領域の保護用酸化シリコン膜を除去する。

【0332】次いで、図39の(3)に示すように、エミッタ領域を形成する多結晶性シリコン膜 $1\text{5}\text{2}$ をシードに、モノシリランとメタン( $\text{CH}_4$ )及びn型ドーパントを適量比率混合し、触媒CVD又はバイアス触媒CVD等により、表面に微細凹凸 $1\text{6}\text{8}$ を有するn型多結晶性ダイヤモンド膜 $1\text{6}\text{3}$ をエミッタ領域に形成し、同時に他の酸化シリコン膜 $1\text{5}\text{9}$ 及びガラス基板 $1\text{1}\text{1}$ 上にはn型アモルファスダイヤモンド膜 $1\text{7}\text{0}$ を形成する。例えば、触媒CVD等により大粒径多結晶性シリコン膜 $1\text{5}\text{2}$ をシードにn型結晶性ダイヤモンド膜のエミッタ領域 $1\text{6}\text{3}$ を形成するが、この際、メタン( $\text{CH}_4$ )にn型不純物ガス(燐はホスフィン $\text{PH}_3$ 、ひ素はアルシン $\text{AsH}_3$ 、アンチモンはスチビン $\text{SbH}_3$ など)、例えばホスフィン $\text{PH}_3$ を適量添加して $5 \times 10^{21} \sim 1 \times 10^{22} \text{ atoms/cc}$ 程度のn型多結晶性ダイヤモンド膜 $1\text{6}\text{3}$ を厚さ $1\text{0}\text{0}\text{0}\sim 5\text{0}\text{0}\text{0 nm}$ に形成する。このときに、他の保護用酸化シリコン膜上にはn型アモルファスダイヤモンド膜 $1\text{7}\text{0}$ が形成されるが、このアモルファスダイヤモンド膜はDLC膜(Diamond Like Carbon)ともいわれる。

【0333】次いで、図39の(4)に示すように、上述した触媒AHA処理時の水素系活性種(活性化水素イオンなど)により、アモルファスダイヤモンド膜 $1\text{7}\text{0}$ をエッチング除去し、酸化シリコン膜 $1\text{5}\text{9}$ のエッチング除去後に触媒CVD等によりゲート絶縁膜(酸化シリコン膜等) $1\text{1}\text{8}$ を形成する。この場合、触媒AHA処理により、高温の水素分子／水素原子／活性化水素イオン等によりアモルファスダイヤモンド膜を還元エッチングし、同時にエミッタ領域に形成されたn型多結晶性ダイヤモンド膜 $1\text{6}\text{3}$ のアモルファス成分を還元エッチングして、高結晶化率のn型多結晶性ダイヤモンド膜 $1\text{6}\text{3}$ を形成する。この還元エッチング作用により、表面に無数の凹凸形状が形成されたn型多結晶性ダイヤモンド膜のエミッタ領域 $1\text{6}\text{3}$ が形成される。これによ

り、他の保護用酸化シリコン膜上のn型アモルファスダイヤモンド膜も還元エッチングされ、除去される。なお、上記の触媒CVD及びAHA処理は連続作業で行う方が、コンタミ防止と生産性の面で望ましい。

【0334】次いで、図40の(5)に示すように、スペッタリング法によるMo-Ta合金等の耐熱性金属によりMOS TFT 1、2のゲート電極 $1\text{1}\text{5}$ 、MOS TFT 1のゲート電極に接続されるゲートラインを形成し、オーバーコート膜(酸化シリコン膜等) $1\text{3}\text{7}$ を形成した後、ハロゲンランプによるRTA(Rapid Thermal Anneal)処理でドーピングされたn型及びp型不純物を活性化した後に、MOS TFT 2のソース部窓開け後にスペッタリング法によるMo-Ta合金等の耐熱性金属でMOS TFT 2のソース電極 $1\text{2}\text{7}$ 及びアースラインを形成する。更に、プラズマCVD、触媒CVD等によりオーバーコート膜(酸化シリコン／窒化シリコン積層膜等) $1\text{3}\text{6}$ を形成する。

【0335】次いで、図40の(6)に示すように、MOS TFT 1のソース／ドレイン部及びMOS TFT 2のゲート部の窓開けを行い、MOS TFT 1のドレインとMOS TFT 2のゲートを $1\% \text{ Si}$ 入りAl配線 $1\text{2}\text{8}$ で接続し、同時にMOS TFT 1のソース電極とそのソースに接続されるソースライン $1\text{2}\text{7}$ を形成する。

【0336】次いで、図40の(7)に示すように、オーバーコート膜(酸化シリコン／フォスフィンシリケートガラス／窒化シリコン積層膜等) $1\text{3}\text{0}$ を形成した後、GNDラインの窓開けした後に、フォーミングガス中で $400^\circ\text{C}$ 、30分の水素化及びシンター処理する。そして図40の(8)に示すように、ゲート引き出し電極 $1\text{5}\text{0}$ や金属遮蔽膜 $1\text{5}\text{1}$ をNb蒸着後のエッチングで形成し、更に電界放出カソード部を窓開けしてエミッタ $1\text{6}\text{3}$ を露出させ、上述の触媒AHA処理の水素系活性種(活性化水素イオンなど)でクリーニングする。即ち、汎用フォトリソグラフィ及びエッチング技術により、チタン／モリブデン( $\text{Ti/Mo}$ )膜又はニオブ(Nb)膜を酸系エッチング液でのウエットエッチングし、酸化シリコン膜及びPSG膜はフッ酸系エッチング液でのウエットエッチング、窒化シリコン膜は $\text{CF}_4$ 等のプラズマエッチングで除去する。また、電界放出カソード(エミッタ)部の多結晶性ダイヤモンド膜 $1\text{6}\text{3}$ を触媒AHA処理してクリーニングし、膜表面の微細な凹凸部に付着した有機汚れ、水分、酸素／窒素／炭酸ガス等を触媒AHA処理の高温の水素分子／水素原子／活性化水素イオン等で除去し、電子放出効率を高める。

【0337】なお、上記において、多結晶性ダイヤモンド膜 $1\text{6}\text{3}$ を成膜する際、使用する原料ガスとしての炭素含有化合物は、例えば

1) メタン、エタン、プロパン、ブタン等のパラフィン系炭化水素

2) アセチレン、アリレン系のアセチレン系炭化水素

- 3) エチレン、プロピレン、ブチレン等のオレフィン系炭化水素
- 4) ブタジエン等のジオレフィン系炭化水素
- 5) シクロプロパン、シクロブタン、シクロヘキサン等の脂環式炭化水素
- 6) シクロブタジエン、ベンゼン、トルエン、キシレン、ナフタリン等の芳香族炭化水素
- 7) アセトン、ジエチルケトン、ベンゾフェノン等のケトン類
- 8) メタノール、エタノール等のアルコール類
- 9) トリメチルアミン、トリエチルアミン等のアミン類
- 10) グラファイト、石炭、コークス等の炭素原子のみからなる物質

であってよく、これらは、1種を単独で用いることもできるし、2種以上を併用することもできる。

【0338】また、使用可能な不活性ガスは、例えばアルゴン、ヘリウム、ネオン、クリプトン、キセノン、ラドンである。ドーパントとしては、例えばホウ素、リチウム、窒素、リン、硫黄、塩素、ひ素、セレン、ベリリウム等を含む化合物又は単体が使用可能であり、そのドーピング量は $10^{20}$  atoms/cc であってよい。

#### 【0339】第5の実施の形態

本実施の形態は、本発明を光電変換装置としての太陽電池に適用したものである。以下にその製造例を示す。

【0340】まず、図41の(1)に示すように、ステンレス等の金属基板111上に、プラズマCVD、触媒CVD等により、n型の低級結晶性シリコン膜7A(100~200nm厚)を形成する。この場合、モノシランにPH<sub>3</sub>等のn型ドーパントを適量混入して $1 \times 10^{19} \sim 1 \times 10^{20}$  atoms/cc 含有させる。

【0341】連続して、プラズマCVD、触媒CVD等により、i型の低級結晶性シリコン膜180A(2~5μm厚)を積層形成する。連続して、プラズマCVD、触媒CVD等により、p型の低級結晶性シリコン膜181A(100~200nm厚)を形成する。この場合、モノシランにB<sub>2</sub>H<sub>6</sub>等のp型ドーパントを適量混入して $1 \times 10^{19} \sim 1 \times 10^{20}$  atoms/cc 含有させる。

【0342】次いで、図41の(2)に示すように、プラズマCVD、触媒CVD等により、カバー用絶縁膜235(酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜、酸化シリコン/窒化シリコン積層膜等)を50~100nm厚に形成する。

【0343】そして、この状態で、本発明のレーザーアニールのレーザービーム照射210によるアニールにより、低級結晶性シリコン膜7A、180A、181Aの全体を多結晶性シリコン膜7、180、181に改質すると同時に、各膜中の不純物を活性化させる。

【0344】次いで、図42の(3)に示すように、カバー用絶縁膜235を除去してフォーミングガス中、400°C、1hの水素化処理する。そして、全面に透明電

極(ITO(Indium Tin Oxide)、IZO(Indium Zinc Oxide)等)182を100~150nm厚に形成し、この上にメタルマスクを用いて、所定領域に銀等のくし型電極183を100~150nm厚に形成する。

【0345】なお、上記の低級結晶性シリコン膜7A、180A、181Aに、前記したと同様にNi、Snなどの触媒元素を適量、例えば $1 \times 10^{18} \sim 1 \times 10^{20}$  atoms/cc 含有させて結晶化助長を促進させてもよい。尚、帶精製法又は多重帶精製法によるため、これらの触媒元素は多結晶性シリコン膜中に残存しないのは言うまでもない。

【0346】本実施の形態による太陽電池は、本発明に基づく大粒径の多結晶性シリコン膜によって、高移動度で変換効率の大きい光電変換薄膜を形成でき、良好な表面テクスチャ構造と裏面テクスチャ構造が形成されるので、光封じ込め効果が高く、変換効率の大きい光電変換薄膜を形成できる。これはまた、太陽電池に限らず、電子写真用の感光体ドラム等の薄膜光電変換装置にも有利に利用することができる。

【0347】以上に述べた本発明の実施の形態は、本発明の技術的思想に基づいて種々変形が可能である。

【0348】例えば、上述した触媒CVD、プラズマCVD等の気相成長法及び本発明のレーザーアニールの繰り返し回数、レーザービーム照射時間、基板温度などの各条件は種々変更してよいし、用いる基板等の材質も上述したものに限定されることはない。

【0349】また、本発明は、表示部等の内部回路や周辺駆動回路及び映像信号処理回路及びメモリー等のMOS TFTに好適なものであるが、それ以外にもダイオードなどの素子の能動領域や、抵抗、キャパシタンス(容量)、配線、インダクタンスなどの受動領域を本発明による多結晶性半導体膜又は単結晶性半導体膜で形成することも可能である。

#### 【0350】

【発明の作用効果】本発明は上述したように、基体上に低級結晶性半導体薄膜を形成し、この低級結晶性半導体薄膜に光高調波変調UV又は/及びDUVレーザーアニールを施して、溶融又は半溶融又は非溶融状態の加熱と冷却により前記低級結晶性半導体薄膜の結晶化を促進して、多結晶性又は単結晶性半導体薄膜を形成しているので、次の(1)~(12)に示す顕著な作用効果が得られる。

【0351】(1) 非線形光学効果により光高調波発生された高出力のUV又は/及びDUVレーザービームを照射して、アモルファスシリコン膜等の低級結晶性半導体薄膜を溶融又は半溶融状態に加熱し或いは非溶融状態で加熱し、冷却させて結晶化する、いわゆる光高調波変調UV又は/及びDUVレーザーアニールにより、高い照射エネルギーを低級結晶性半導体薄膜に与え、これを溶融又は半溶融状態に加熱し或いは非溶融状態で加熱

し、冷却することにより、大粒径の高キャリア移動度、高品質の多結晶性シリコン膜等の多結晶性又は単結晶性半導体薄膜が得られ、生産性が大幅に向上升し、大幅なコストダウンが可能となる。

【0352】(2) 本発明のレーザーアニールは、上記加熱帯を移動させながら行う、いわゆる帶精製法により、結晶化助長のために予め添加され、その役割を終えたN<sub>i</sub>等の触媒元素やその他の不純物元素が高温の溶融帯に偏析するので、容易に除去でき、膜中に残存することがないため、大粒径での高キャリア移動度、高品質の多結晶性半導体薄膜が得られ易い。さらに、このときに、複数のレーザービーム照射により連続して溶融帯と冷却部を繰り返す、いわゆる多重帯精製法により、さらなる大粒径、高品質の多結晶性半導体薄膜が得られる。この高純度化により、半導体特性が損なわれることがなくなり、作製する素子の安定性、信頼性が向上する。そして、光高調波変調UV又は／及びDUVレーザーアニールでの帶精製法又は多重帯精製法という簡単なプロセスにより、結晶化助長の役割が終わった触媒元素やその他の元素が効率良く除去されるので、工数削減によるコストダウンが可能となる。

【0353】(3) レーザースキャニング方向に多結晶性シリコン等の結晶粒が揃うので、この方向にTFTを形成することにより、結晶粒界の不整及びストレスが低減し、高移動度の多結晶性シリコン膜等を形成できる。

【0354】(4) 光高調波変調UV又は／及びDUVレーザーアニールの帶精製法又は多重帯精製法により結晶化させた多結晶性シリコン等の膜上に低級結晶性シリコン等の膜を積層し、再度このレーザーアニールで結晶化する方法を繰り返すことにより、μm単位の厚みで大粒径での高キャリア移動度、高品質の多結晶性シリコン膜等を積層形成できる。これにより、MOSLSIのみならず、高性能、高品質のバイポーラLSI、CMOSセンサ、CCDエリア／リニアセンサ、太陽電池等も形成できる。

【0355】(5) 光高調波変調UV又は／及びDUVレーザーは、その波長、照射強度及び照射時間等の制御、更には線状、長方形形状又は正方形形状に集光整形して、レーザービーム径及びレーザースキャニングピッチなどを自由に設定でき、照射強度、つまり溶融効率及びスループット向上でのコストダウンが図れる。しかも、①固定した基板にレーザー光をガルバノメータスキャニングさせること、②固定したレーザー光に対して基板を高精度ステッピングモータでステップ＆リピート移動させる等の加熱溶融及び冷却方法により、更には複数のレーザーで同期してスキャニングすることにより、大面積（例えば1m×1m）も短時間でアニールすることができ、任意の結晶粒及び純度の多結晶性シリコン膜等が大面積に得られるので、生産性が高く、コストダウンが可能となる。

【0356】(6) 非線形光学結晶で光高調波発生させたUV又は／及びDUVレーザーは、主に高出力の半導体レーザー励起YAG（Nd：YAG；ネオジウム添加のイットリウム・アルミニウム・ガーネット）レーザーを基本波としているので、安全で保守整備が容易であり、安定した高出力を示し、小型で低消費電力であって安価なレーザー装置が実現する。

【0357】(7) 光高調波変調UV又は／及びDUVレーザーアニールでは、例えばアモルファシリコン膜の光吸収効率の高い200～400nm波長を任意に選出し、高出力単一波長のレーザービーム照射が可能であるので、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFTごとの素子特性のばらつきが少なく、高いスループットでの高生産性によるコストダウンが可能である。

【0358】(8) 本発明に用いる光高調波変調UV又は／及びDUVレーザーは、基本波と非線形光学結晶の選択及び組み合わせにより、波長、照射強度の制御が容易であり、例えばアモルファシリコン膜の光吸収効率の高い200～400nm波長を任意に選出し、高出力単一波長のレーザービーム照射が可能となる。

【0359】(9) 更に、照射レーザー光を線状、長方形または正方形形状などに自由に集光整形してレーザービーム照射できるので、照射面のエネルギー分布のばらつき、得られた結晶化半導体膜のばらつき、TFTごとの素子特性のばらつきが少なく、高いスループットでの高生産性によるコストダウンが実現する。

【0360】(10) 例えば、第3高調波発生の波長355nmのUVレーザービームで低級結晶性半導体薄膜を溶融及び冷却させて結晶化させるときに、同時に波長1064nmの基本波の赤外光線レーザービーム、又は第2高調波の波長532nmの可視光線レーザービーム、又はその赤外光線レーザービーム及び可視光線レーザービームの混合レーザーを照射して、低級結晶性半導体薄膜及びガラス基板を加熱できるので、半導体膜や基板が十分に加熱されるために、結晶化を確実に行なうことが容易である。又、基本波や第2高調波を捨てずにこれらを効率良く使用できるので、全体として消費電力を低減できる。

【0361】(11) 光高調波変調UV又は／及びDUVレーザーアニールでは低温（200～400°C）で適用できるので、安価であって大型化が容易な低歪点ガラスや耐熱性樹脂を採用でき、軽量化とコストダウンを図れる。

【0362】(12) トップゲート型のみならず、ボトムゲート型、デュアルゲート型MOSFETでも、高いキャリア移動度の多結晶性半導体膜又は単結晶性半導体膜等が得られるために、この高性能の半導体膜を使用した高速、高電流密度の半導体装置、電気光学装置、更には高効率の太陽電池等の製造が可能となる。例えば、シ

リコン半導体装置、シリコン半導体集積回路装置、フィールドエミッショナディスプレイ（FED）装置、シリコングルマニウム半導体装置、シリコングルマニウム半導体集積回路装置、液晶表示装置、エレクトロルミネセンス（有機／無機）表示装置、発光ポリマー表示装置、発光ダイオード表示装置、光センサー装置、CCDエリア／リニアセンサ装置、CMOSセンサ装置、太陽電池装置等が製造可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるMOS TFTの製造プロセスを工程順に示す断面図である。

【図2】同、製造プロセスを工程順に示す断面図である。

【図3】同、製造プロセスを工程順に示す断面図である。

【図4】同、製造プロセスを工程順に示す断面図である。

【図5】同、製造に用いる触媒CVD用の装置の一状態での概略断面図である。

【図6】同、装置の他の状態での概略断面図である。

【図7】同、レーザーアニール用の装置の要部概略断面図及び平面図である。

【図8】同、レーザーアニール用の装置の要部概略断面図及び平面図である。

【図9】同、レーザーアニール用の装置の他例の要部概略断面図である。

【図10】同、レーザーアニール用の装置の他例の要部概略断面図である。

【図11】同、レーザーアニール用の各種レーザービームの発生方法を示す概略図である。

【図12】同、クラスタ方式のMOS TFTの製造装置の概略図である。

【図13】同、インライン方式のMOS TFTの製造装置の概略図である。

【図14】同、クラスタ方式のMOS TFTの製造装置の他例の概略図である。

【図15】同、レーザーアニール時の他の形態を示す概略断面図である。

【図16】同、レーザーアニール用の装置の他例の概略断面図である。

【図17】同、レーザーアニール用の装置の他例の概略断面図である。

【図18】同、レーザーアニール用の装置の他例の概略断面図である。

【図19】本発明の第2の実施の形態によるLCDの製造プロセスを工程順に示す断面図である。

【図20】同、製造プロセスを工程順に示す断面図である。

【図21】同、製造プロセスを工程順に示す断面図である。

【図22】同、LCDの全体の概略レイアウトを示す斜視図である。

【図23】同、LCDの等価回路図である。

【図24】同、LCDの他の製造プロセスを工程順に示す断面図である。

【図25】同、製造プロセスを工程順に示す断面図である。

【図26】同、LCDのMOS TFTを各種示す断面図である。

【図27】同、LCDの他の製造プロセスを工程順に示す断面図である。

【図28】同、グラフォエピタキシャル成長を説明するための概略図である。

【図29】同、各種段差形状を示す概略断面図である。

【図30】同、LCDの他の製造プロセスを工程順に示す断面図である。

【図31】本発明の第3の実施の形態による有機EL表示装置の要部の等価回路図（A）、同要部の拡大断面図（B）及び同画素周辺部の断面図（C）である。

【図32】同、有機EL表示装置の製造プロセスを工程順に示す断面図である。

【図33】同、他の有機EL表示装置の要部の等価回路図（A）、同要部の拡大断面図（B）及び同画素周辺部の断面図（C）である。

【図34】同、有機EL表示装置の製造プロセスを工程順に示す断面図である。

【図35】本発明の第4の実施の形態によるFEDの要部の等価回路図（A）、同要部の拡大断面図（B）及び同要部の概略平面図（C）である。

【図36】同、FEDの製造プロセスを工程順に示す断面図である。

【図37】同、製造プロセスを工程順に示す断面図である。

【図38】同、他のFEDの要部の等価回路図（A）、同要部の拡大断面図（B）及び同要部の概略平面図（C）である。

【図39】同、FEDの製造プロセスを工程順に示す断面図である。

【図40】同、製造プロセスを工程順に示す断面図である。

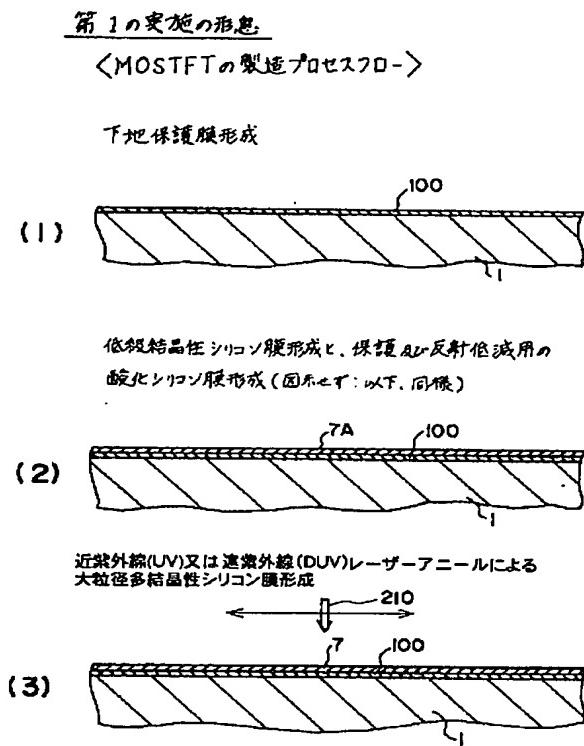
【図41】本発明の第5の実施の形態による太陽電池の製造プロセスを工程順に示す断面図である。

【符号の説明】

1、61、98、111、157…基板、7、67…多結晶性又は単結晶性シリコン膜、7A、67A…低級結晶性シリコン膜、7B…シリコン溶融帯、14、67、117…チャンネル、15、75、102、105、115…ゲート電極、8、68、103、104、106、118…ゲート絶縁膜、20、21、80、81、120、121…n型ソース又はドレイン領域、2

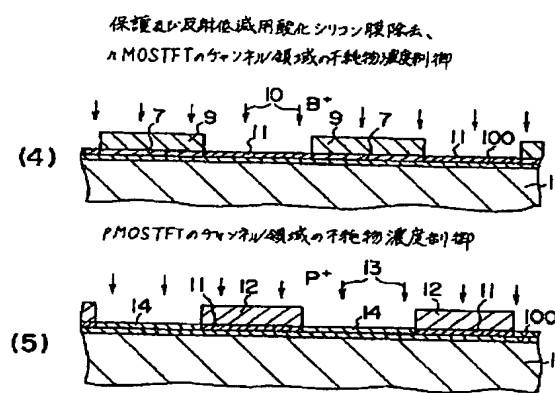
4、25、84、85…p<sup>+</sup>型ソース又はドレイン領域、27、28、86、92、130、136、137…絶縁膜、29、30、87、88、89、90、91、93、97、127、128、131…電極、40…原料ガス、42…シャワーヘッド、44…成膜室、45…サセプタ、46…触媒体、47…シャッター、48…触媒体電源、94、96…配向膜、95…液晶、99…カラーフィルタ層、100…保護膜、100'、140…ブラックマスク層、132、133…有機発光層、134、135、144…陽極、138、141、142、171…陰極、150…ゲート電極（ゲートライン）、151…遮蔽膜、152…エミッタ、153…n

【図1】

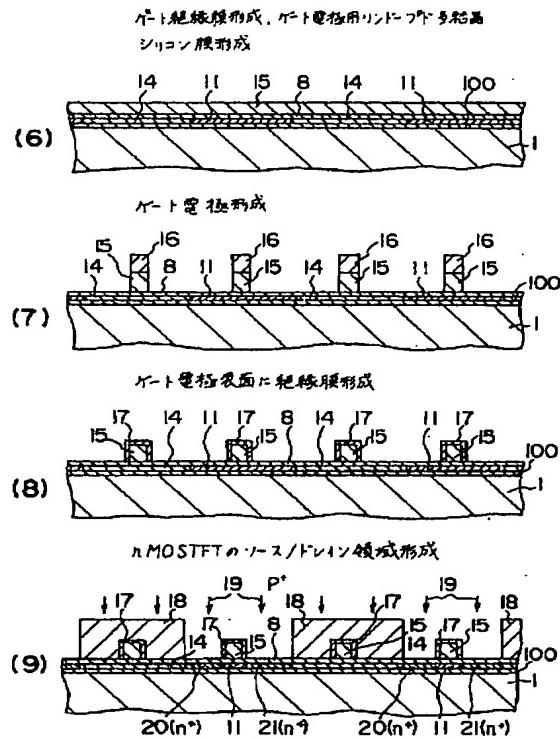


型多結晶性シリコン膜、155…バックメタル、156…蛍光体、158、168…微細凹凸、163…n型多結晶性ダイヤモンド膜、180…i型多結晶性シリコン膜、181…p型多結晶性シリコン膜、182…透明電極、183…くし型電極、200…レーザーロッド(光源)、201、202…非線形光学結晶、203…レーザービーム加工形状決定機構、204…ガルバノメータスキャナシステム、210…レーザービーム照射、223…段差、224…結晶性サファイア膜、231…磁極、232…電磁石、233…電源、234…電極、235…絶縁膜

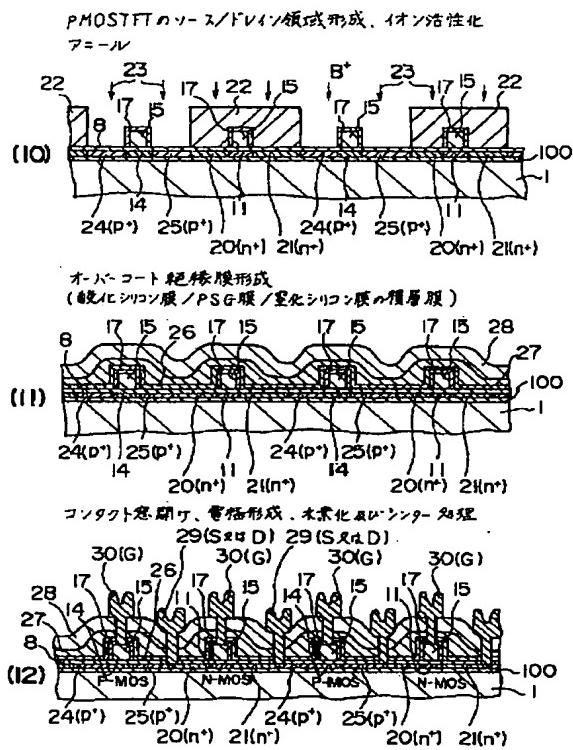
【図2】



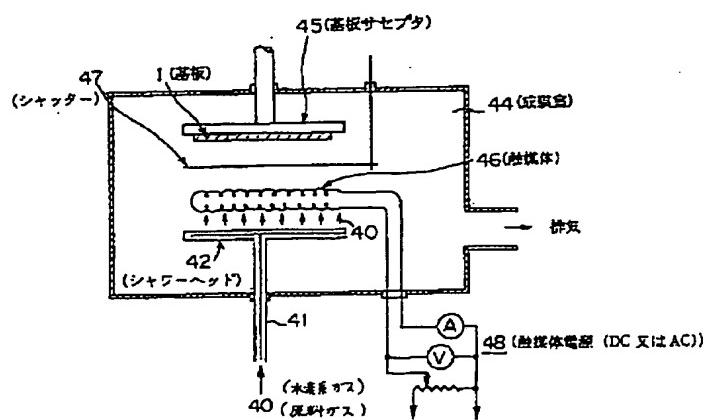
【図3】



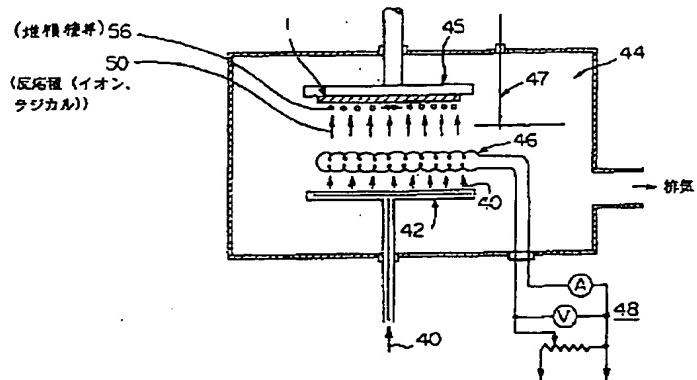
【図4】



【図5】

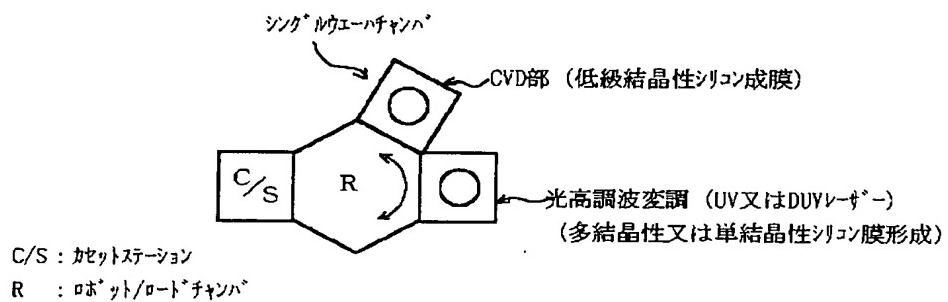


【図 6】



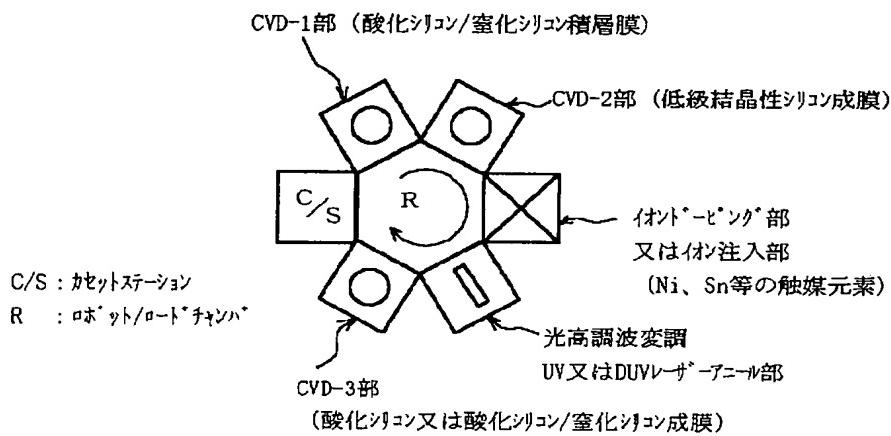
【図 12】

<クラスタ方式>



【図 14】

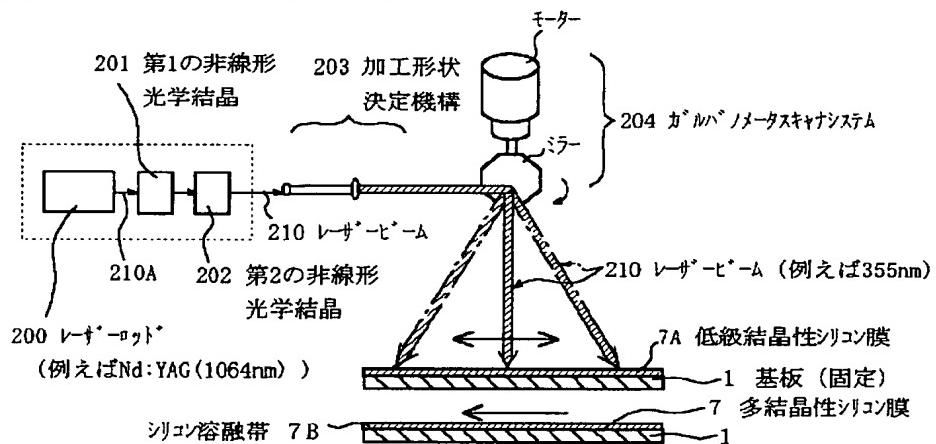
<クラスタ方式>



【図7】

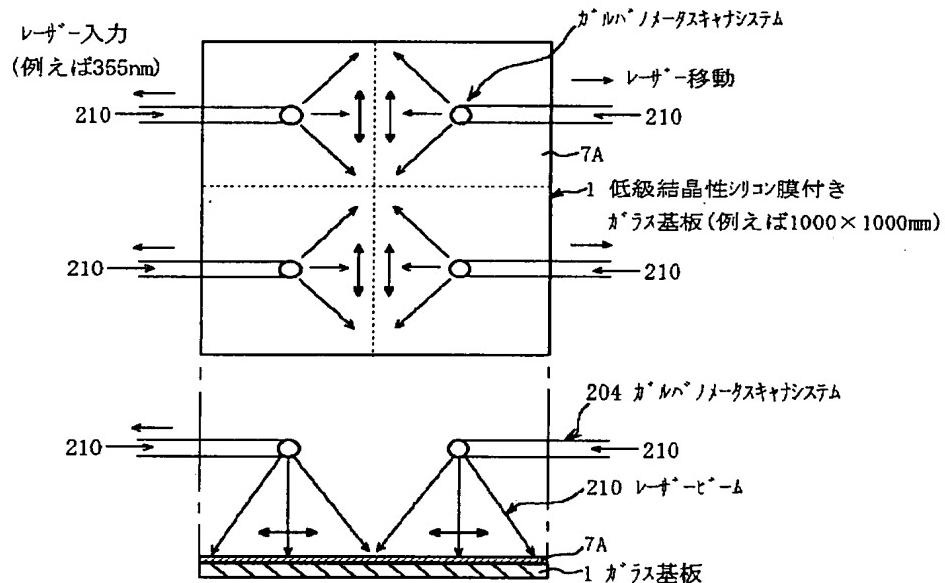
光高調波変調UVレーザーのガルバノメータスキャニング

(1) レーザービームのスキャニング



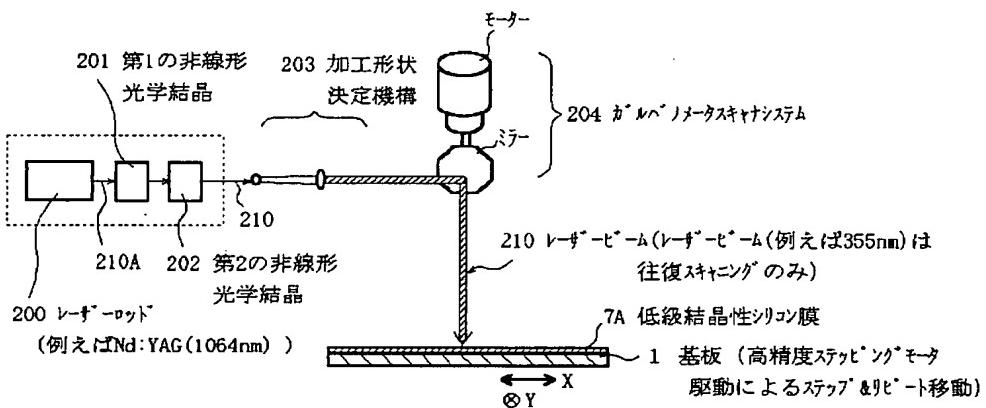
<大面積のレーザー照射の場合>

固定した基板面を4分割し、それぞれの面積にレーザー光を適当な速度で同期してガルバノメータスキャニングさせる。



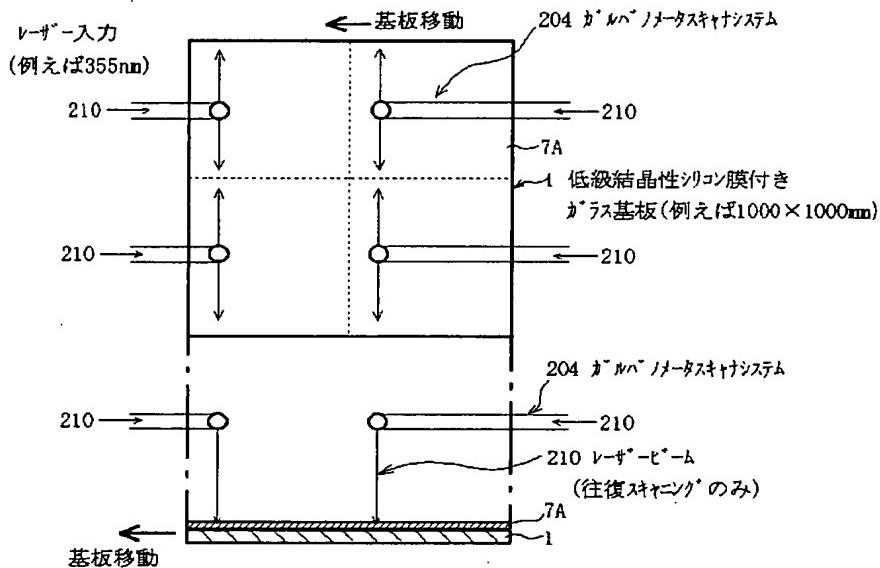
【図8】

(2) 基板のステップ&リピート移動



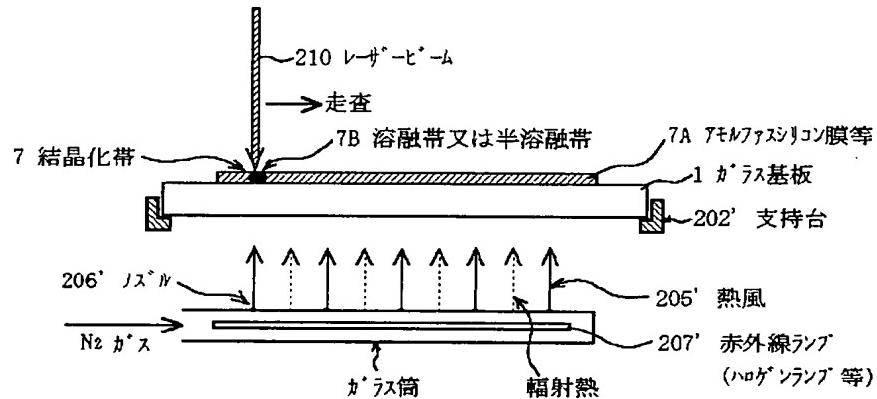
<大面積のレーザー照射の場合>

基板面を4分割し、それぞれの面積にレーザー光を適当な速度で往復スキヤニングさせ、それに同期して基板を適当な速度で移動させる。

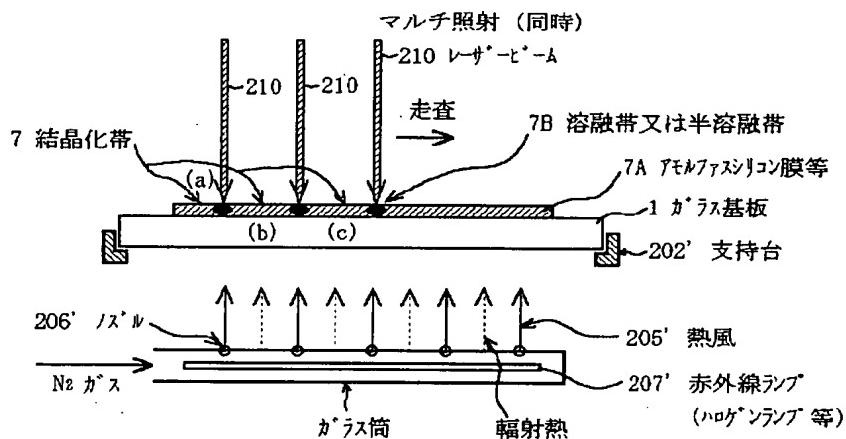


【図9】

(1) 帯精製法 (レーザー光が移動)



(2) 多重帯精製法 (マルチレーザー光が移動)

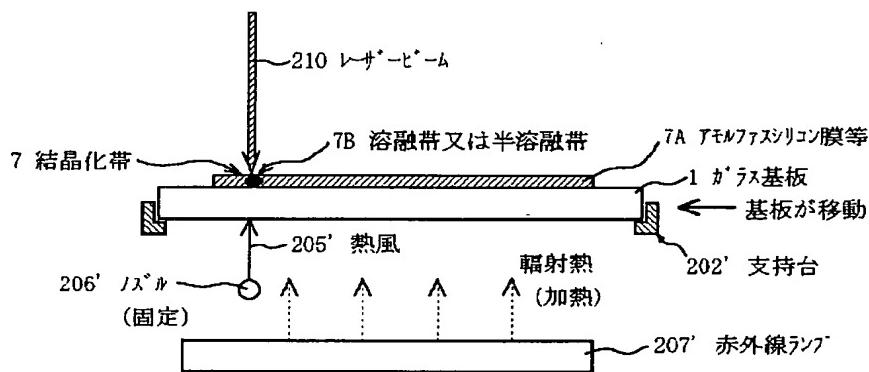


※ 結晶化带は (c) → (b) → (a) の順に、高結晶化と高純度化の膜となる。

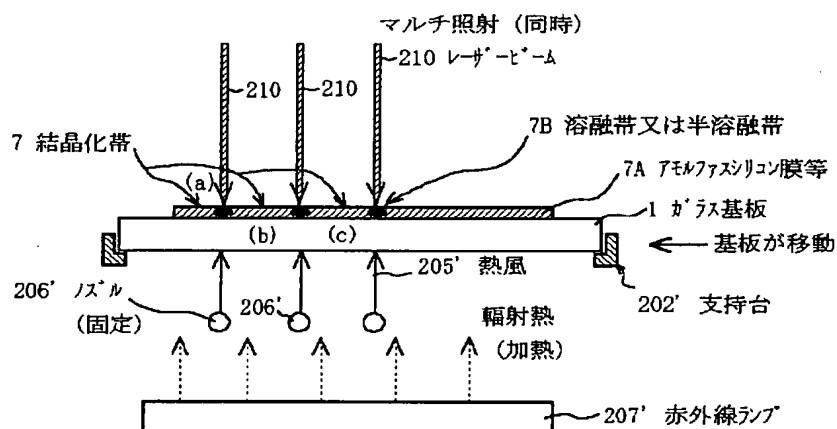
※ 照射光と熱風は、上下対称で同期するようにした方がよい。

【図10】

(3) 帯精製法（基板が移動）



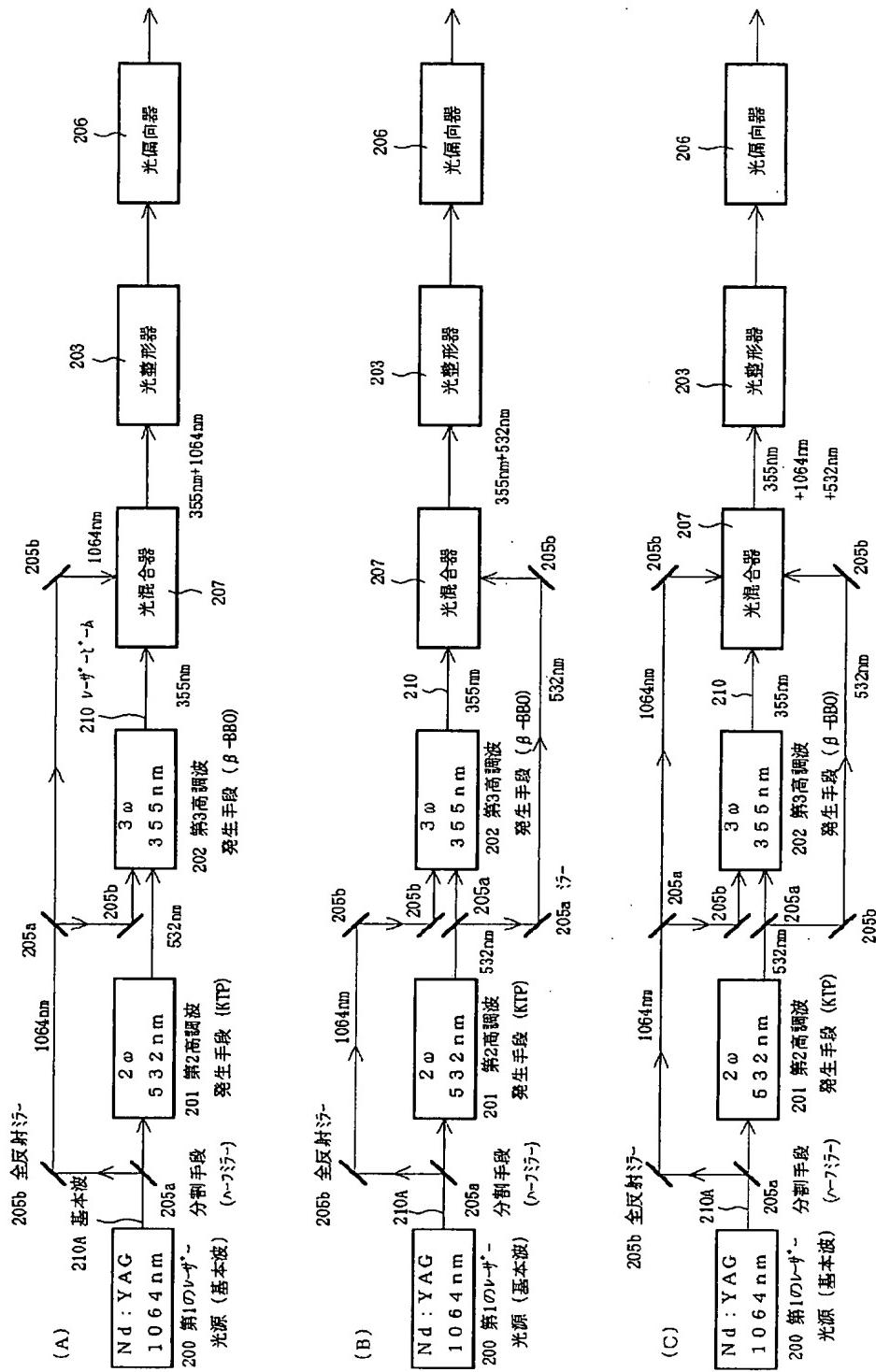
(4) 多重帯精製法（マルチレーザー光が移動）



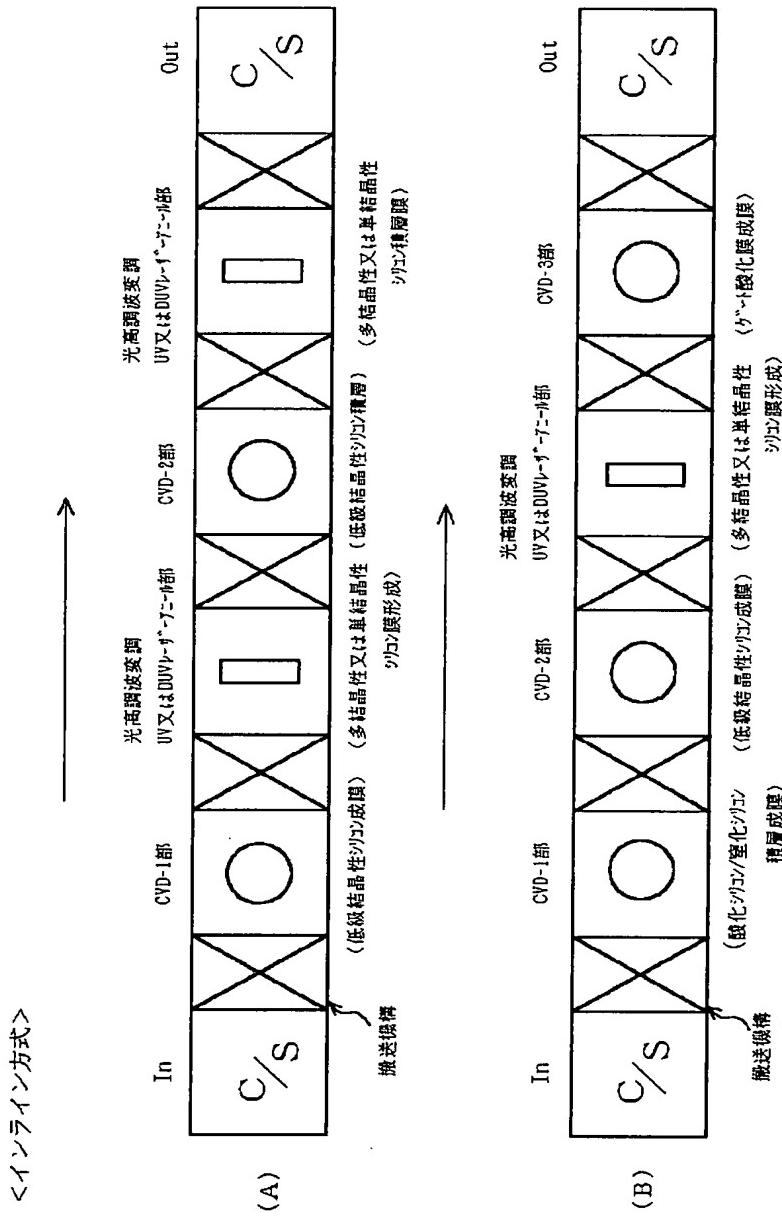
※ 結晶化帯は (c) → (b) → (a) の順に、高結晶化と高純度化の膜となる。

※ 照射光と熱風は、上下対称で同期した方がよい。

【図 1 1】

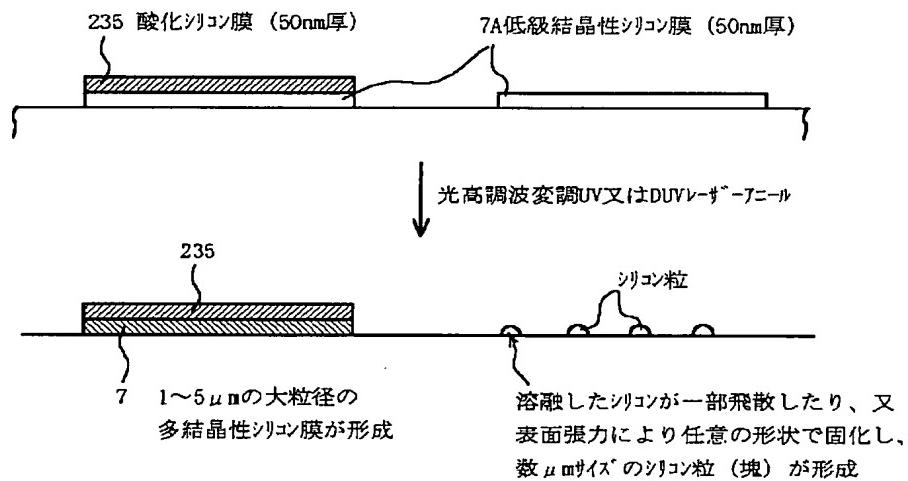


【図 1-3】



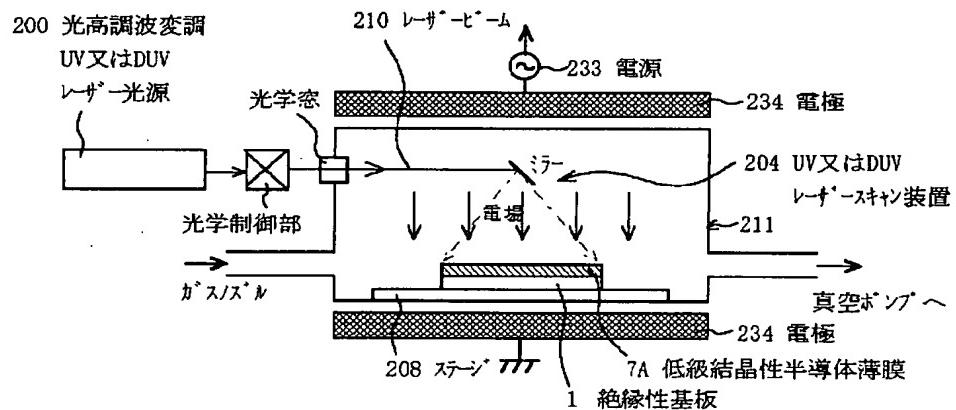
【図15】

光高調波変調UV又はDUVレーザーAnニール時に、低級結晶性半導体薄膜上に絶縁膜を形成してレーザー照射する（絶縁膜は、シリコン系半導体膜では、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化シリコン/窒化シリコン積層膜）。



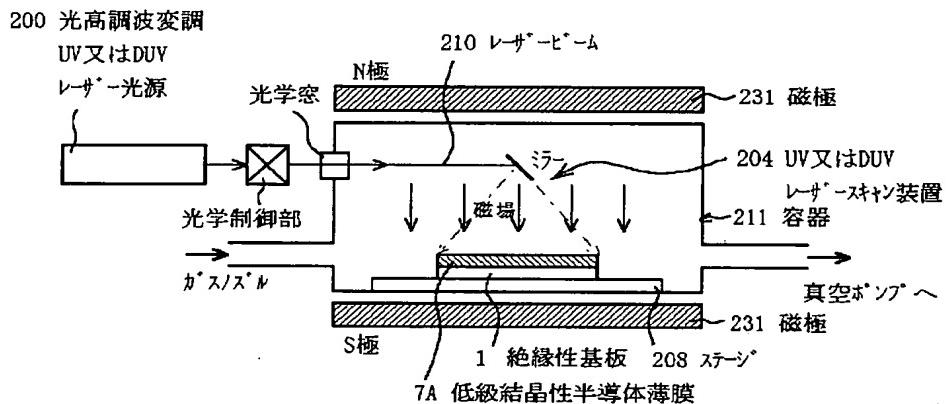
【図17】

## (2) 電場印加

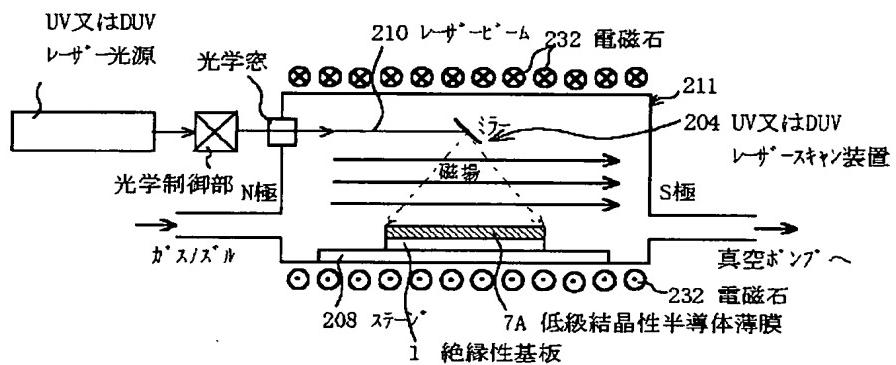


【図16】

(1) 磁場印加

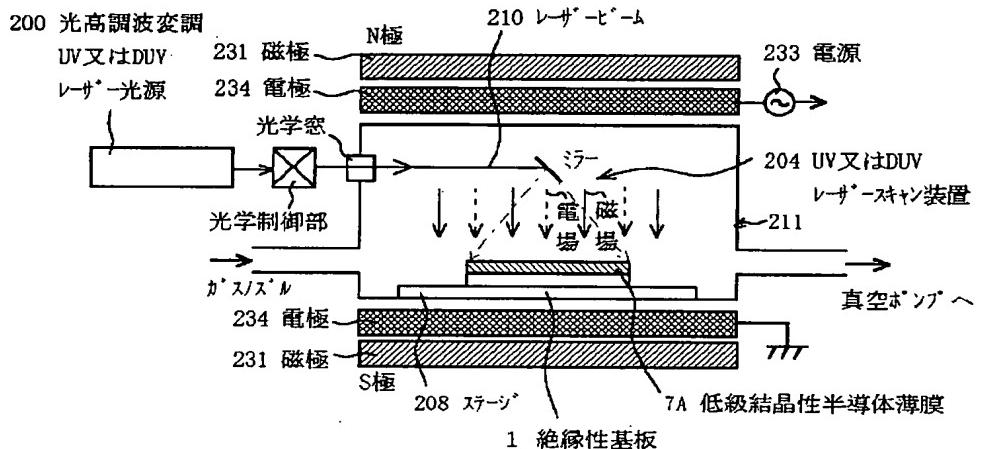


200 光高調波変調

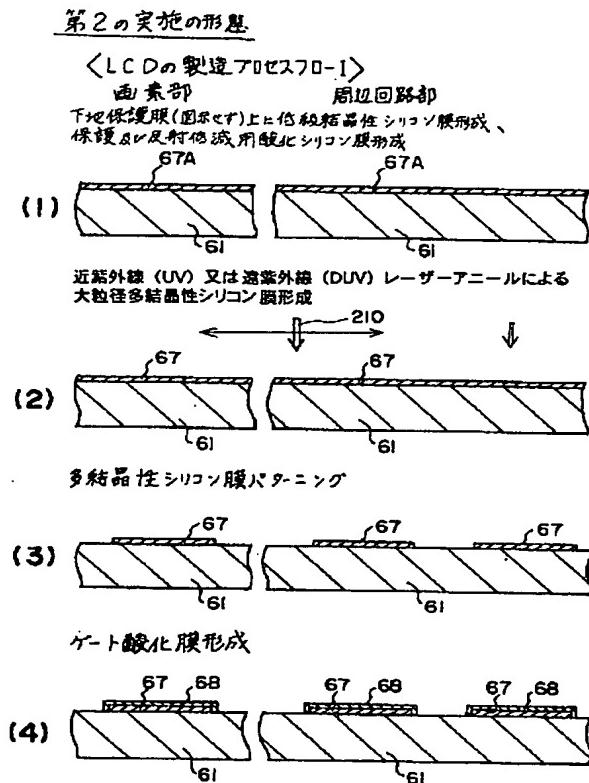


【図18】

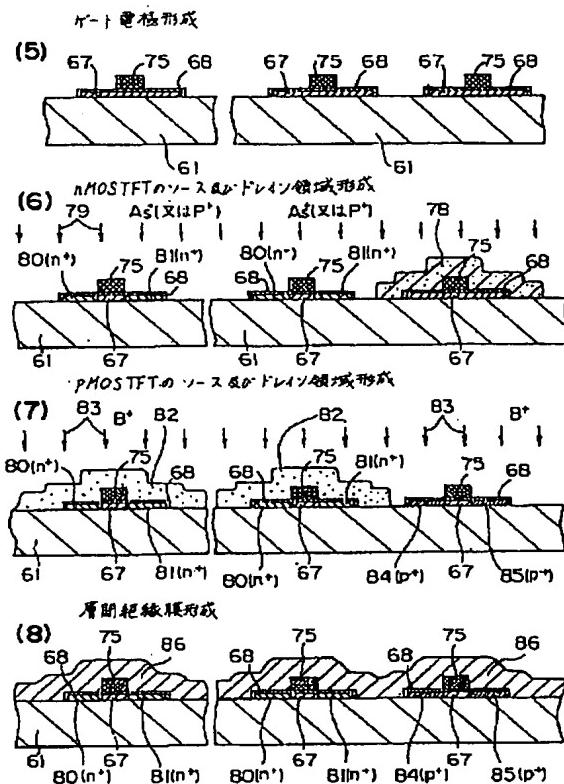
(3) 磁場と電場印加



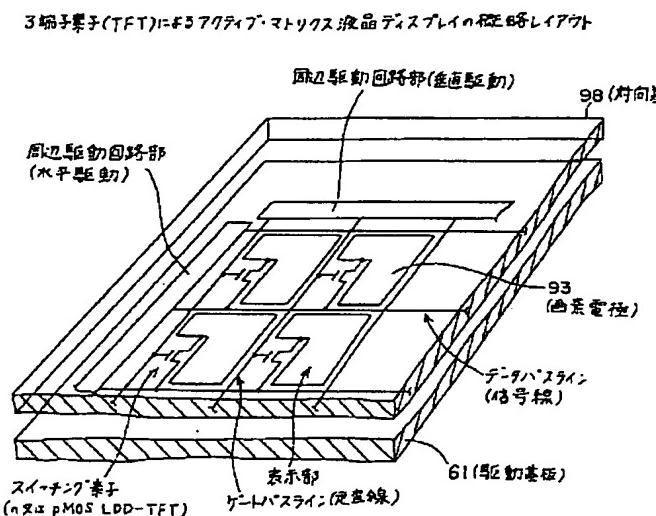
【図 19】



【図 20】

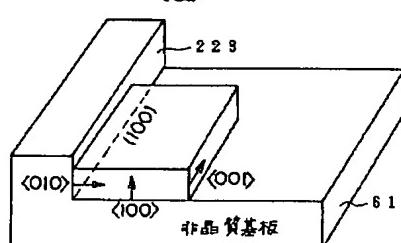
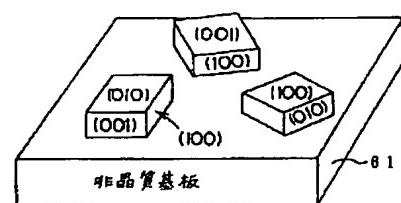


【図 22】

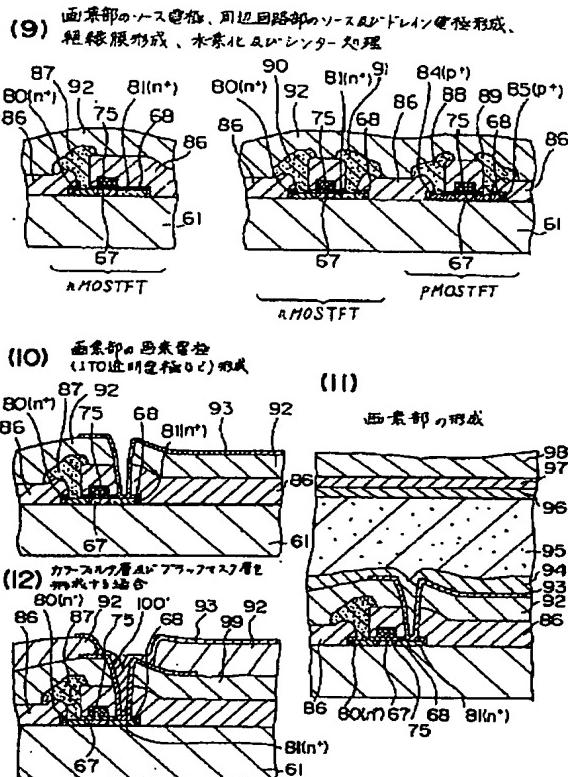


【図 28】

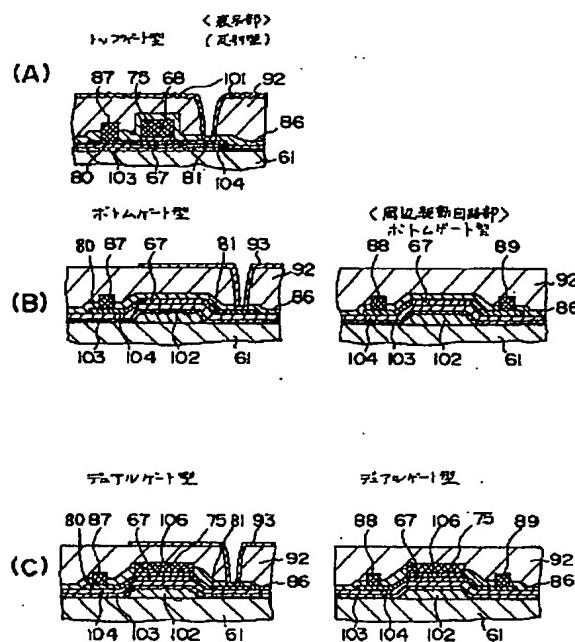
非晶質基板上の結晶成長



【図 21】

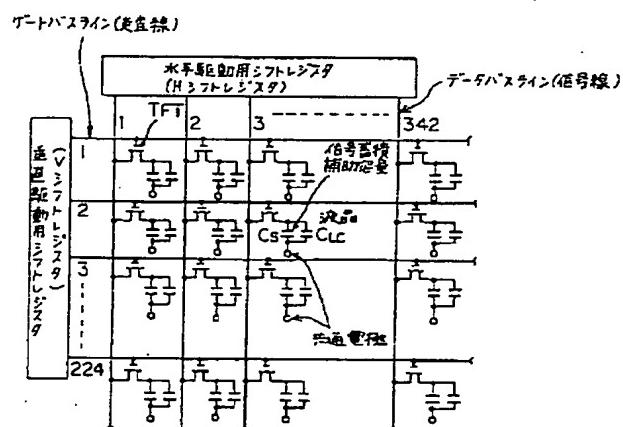


【図 26】

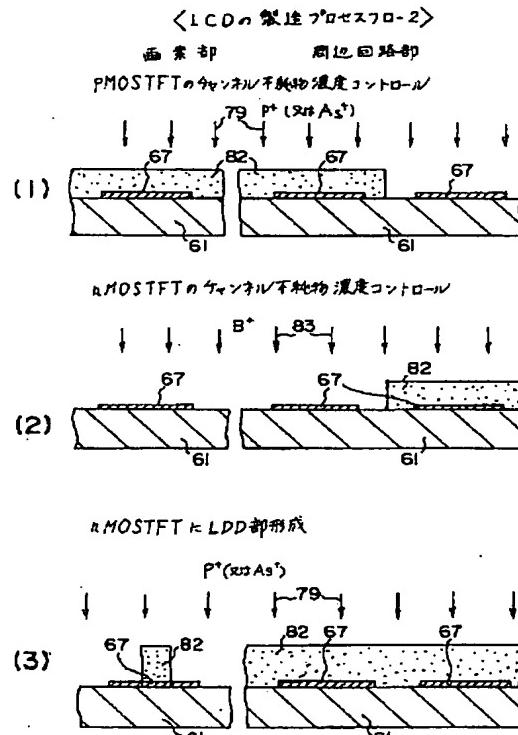


【図 23】

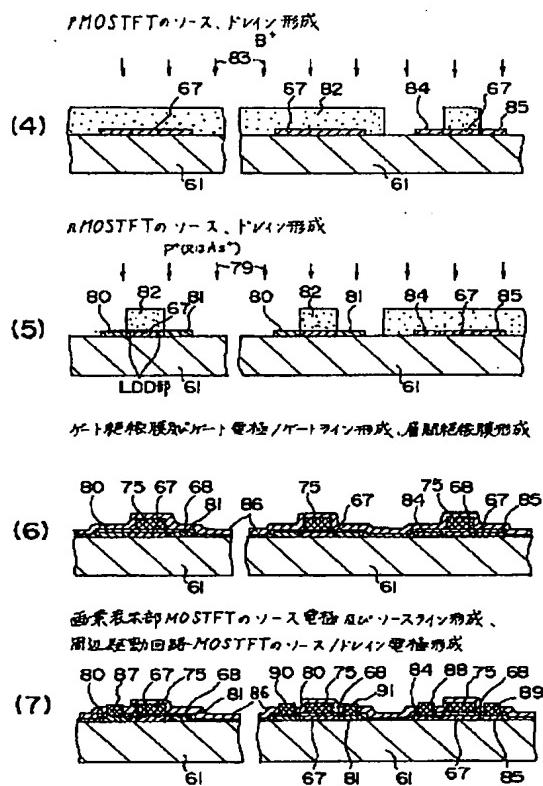
3端子素子(TFT)によるアクティブ・マトリクス液晶ディスプレイの等価回路



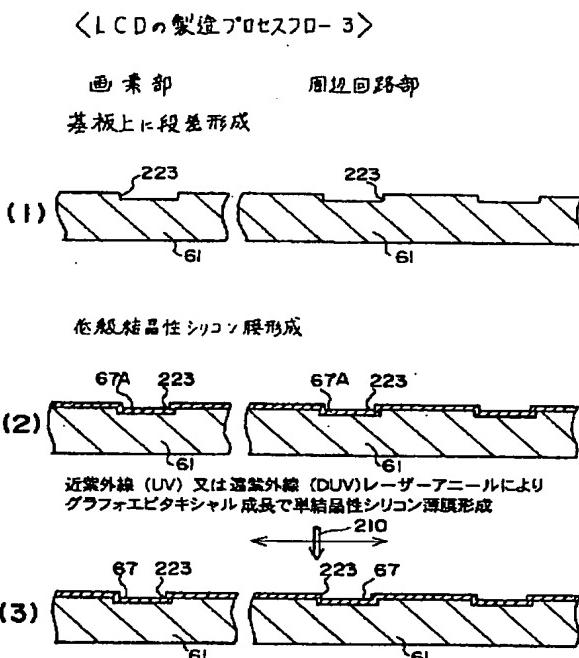
【図 24】



【図25】

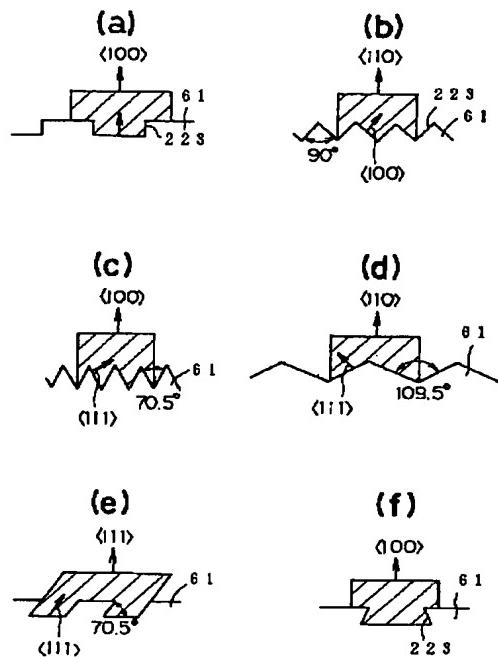


【図27】



【図29】

各種レリーフと成長結晶方位

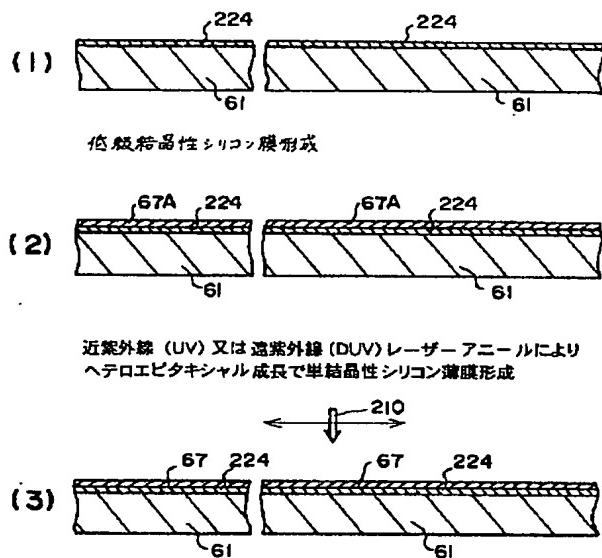


【図30】

### 〈LCDの製造プロセスフロー-4〉

画素部 周辺回路部

結晶性サフライア膜形成



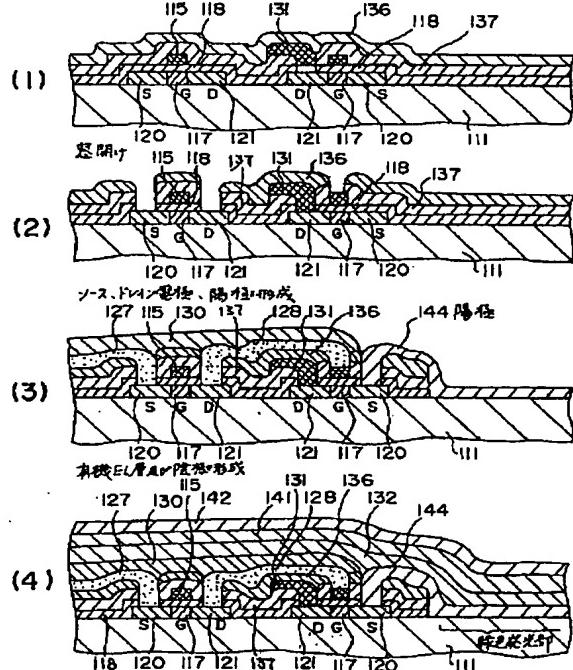
〔図3-4〕

### 〈構造例1の有機ELの製造プロセスフロー〉

#### スイッチ用、電流駆動用TFT上に絶縁膜形成

スイッチ用 電流駆動用

TFT 1 TFT 2

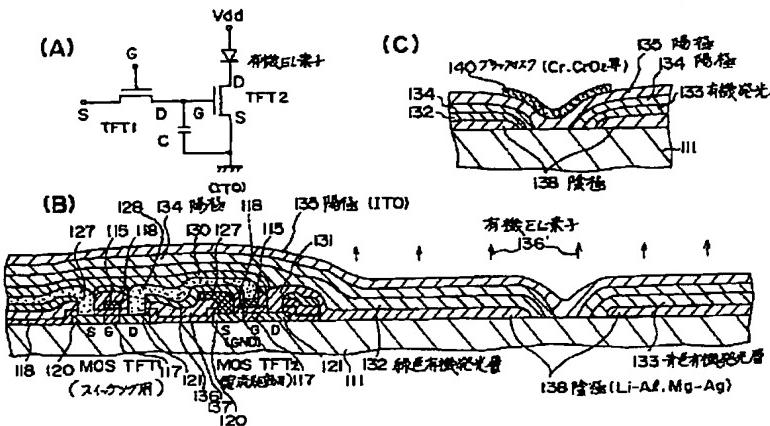


〔图31〕

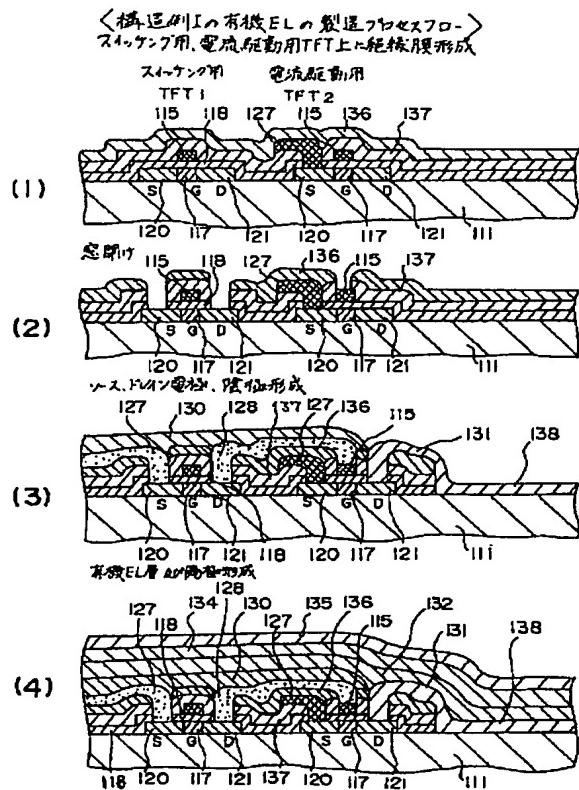
### 第3の実施の形態.

〈構造例 I (有機EL素子が TFT2 のドレインに搭載されていき)〉

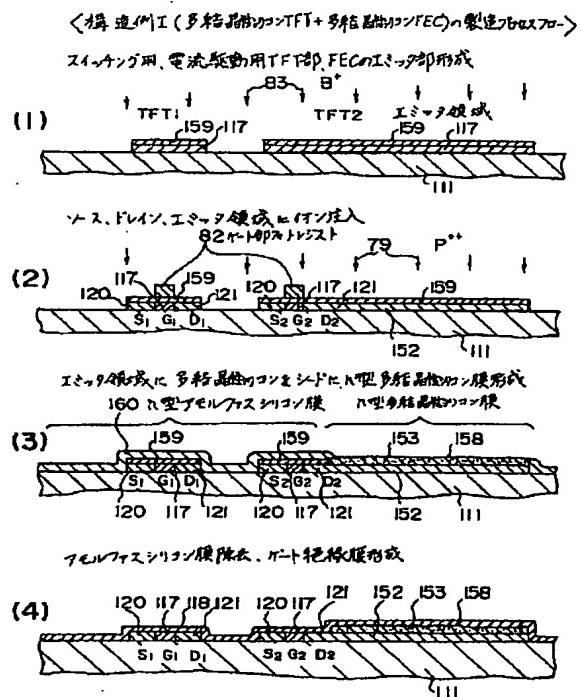
画素部周辺にブラークマスク部を形成する場合



【図32】

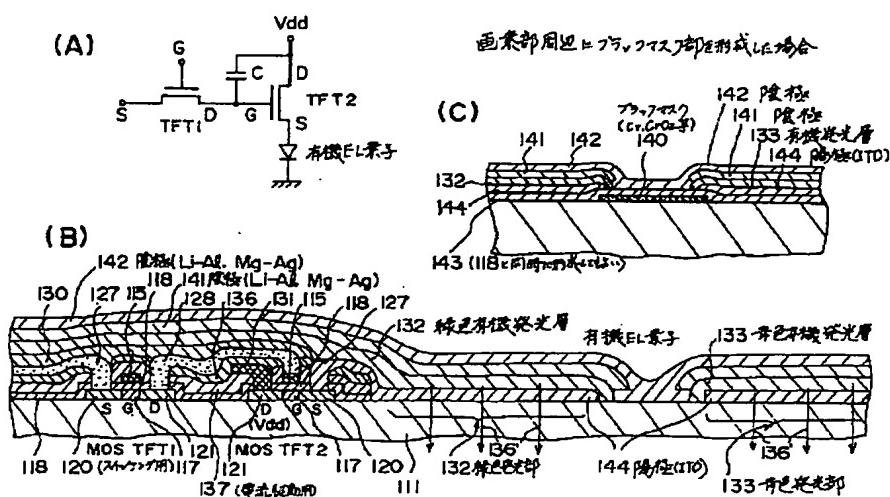


【図36】

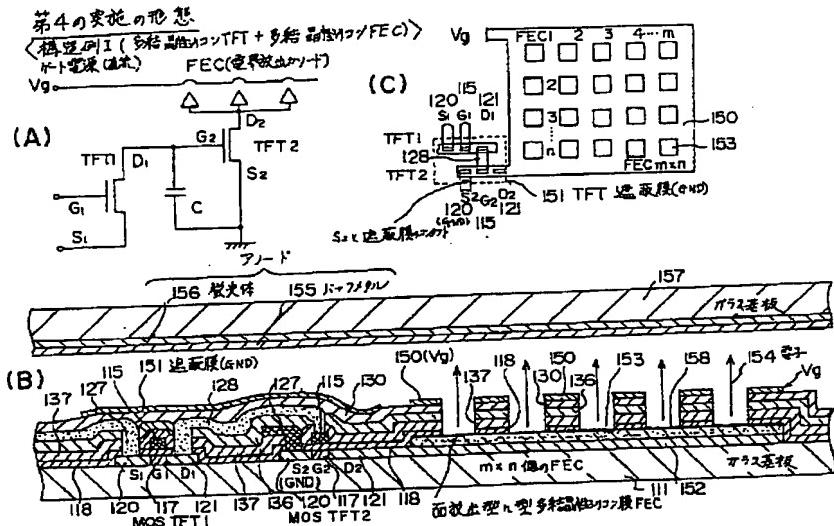


【図33】

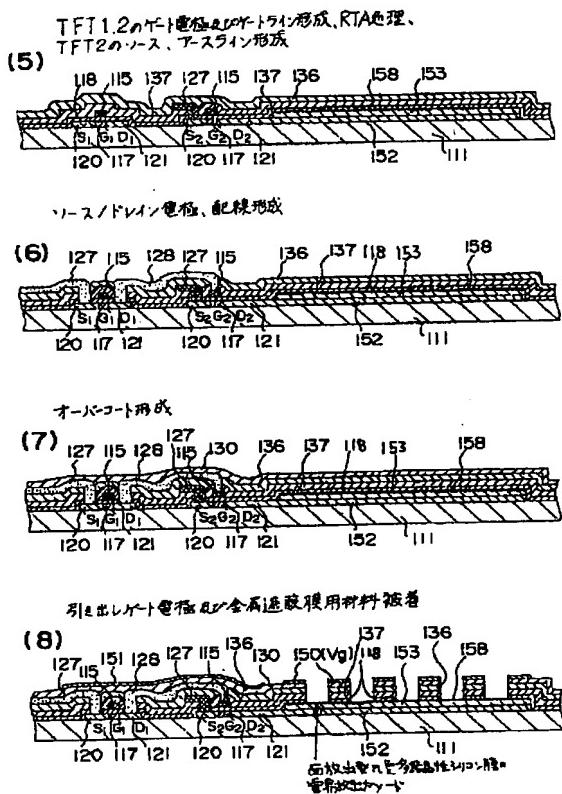
〈構造例II (有機EL素子やTFT2のソースに接続されていき)〉



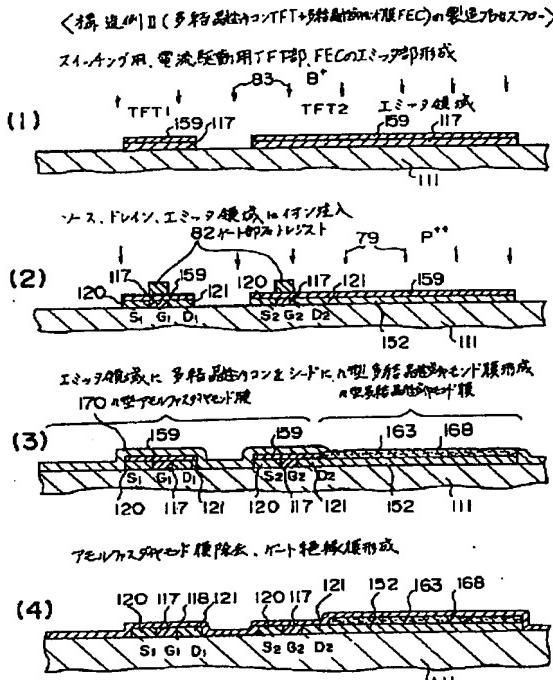
【图35】



【图37】



[図39]



フロントページの続き

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
H O 1 L 21/268		H O 1 L 21/268	G 5 F 0 5 2
27/08	3 3 1	27/08	J 5 F 1 1 0
29/786		29/78	3 3 1 E
21/336		31/04	6 2 7 G
31/04			X

F ターム(参考) 2H092 GA59 JA25 JA26 KA04 KA05  
 MA05 MA08 MA30 NA22 NA27  
 NA29 PA01 PA02 QA07  
 4E068 AH01 DA09  
 5C094 AA07 AA08 AA13 AA25 AA42  
 AA43 AA48 AA53 AA55 BA03  
 BA27 BA32 BA34 BA43 CA19  
 CA24 DA09 DA13 DB01 DB04  
 EA04 EB02 FA01 FB01 FB02  
 FB12 FB14 FB15 GB10  
 5F048 AA08 AB10 AC04 BA16 BB09  
 BE08 BF07 BG05  
 5F051 AA02 AA03 CB25 CB29  
 5F052 AA02 AA06 BA07 BB01 BB02  
 BB05 CA04 CA10 DA01 DA03  
 DA05 DB01 DB02 DB03 DB07  
 DB10 FA06 FA19 JA01 JA04  
 JA05 JA09  
 5F110 BB02 BB04 CC02 CC08 DD01  
 DD02 DD03 DD12 DD13 DD14  
 DD17 DD21 DD25 EE01 EE03  
 EE06 EE09 EE30 EE44 EE45  
 FF02 FF03 FF09 FF10 FF23  
 FF29 GG01 GG02 GG04 GG13  
 GG17 GG19 GG25 GG32 GG33  
 GG43 GG44 GG45 GG51 GG52  
 GG57 HJ01 HJ04 HJ12 HJ13  
 HJ23 HL03 HL06 HL07 HL23  
 HL24 HM15 NN04 NN28 NN24  
 NN25 NN27 NN35 NN36 NN43  
 NN45 NN72 PP03 PP04 PP05  
 PP13 PP27 PP29 PP31 PP34  
 QQ09 QQ21 QQ28